



*JPW*

PATENT APPLICATION  
Docket No. 8750-042  
Client No. SPX200211-046US

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Inventor(s): Dae-Woong KANG, et al. Conf. No. 6500  
Serial No.: 10/758,802 Examiner: Not yet assigned  
Filing Date: January 15, 2004 Art Unit: 2811  
Title: METHODS OF FABRICATING A SEMICONDUCTOR DEVICE  
HAVING MULTI-GATE INSULATION LAYERS AND  
SEMICONDUCTOR DEVICES FABRICATED THEREBY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL LETTER**

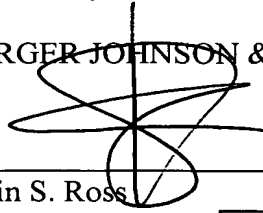
Enclosed for filing in the above-referenced application are the following:

- ☒ Certified copy of Priority Document No. 2003-0053551, filed August 1, 2003, from which priority is claimed.
- ☒ Return Postcard.
- ☒ Any deficiency or overpayment should be charged or credited to deposit account number 13-1703.

**Customer No. 20575**

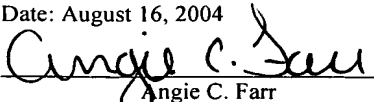
Respectfully submitted,

MARGER JOHNSON & McCOLLOM, P.C.

  
\_\_\_\_\_  
Kevin S. Ross  
Reg. No. 42,116

MARGER JOHNSON & McCOLLOM, P.C.  
1030 SW Morrison Street  
Portland, OR 97205  
503-222-3613

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450  
Date: August 16, 2004

  
Angie C. Farr



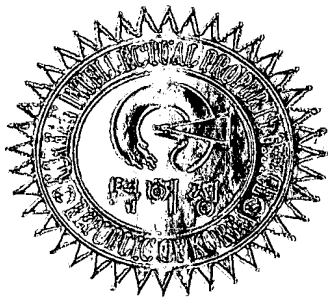
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0053551  
Application Number

출원 년 월 일 : 2003년 08월 01일  
Date of Application AUG 01, 2003

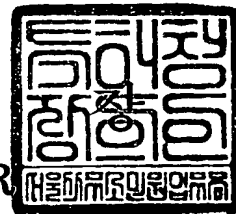
출원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】 특허출원서  
【권리구분】 특허  
【수신처】 특허청장  
【제출일자】 2003.08.01  
【발명의 명칭】 다중 게이트 절연막들을 갖는 반도체소자의 제조방법 및 그에 의해 제조된 반도체소자  
【발명의 영문명칭】 Fabrication methods of a semiconductor device having multi-gate insulation layers and semiconductor devices fabricated thereby  
【출원인】  
    【명칭】 삼성전자 주식회사  
    【출원인코드】 1-1998-104271-3  
【대리인】  
    【성명】 박상수  
    【대리인코드】 9-1998-000642-5  
    【포괄위임등록번호】 2000-054081-9  
【발명자】  
    【성명의 국문표기】 강대웅  
    【성명의 영문표기】 KANG,DAE WOONG  
    【주민등록번호】 720714-1030738  
    【우편번호】 142-072  
    【주소】 서울특별시 강북구 수유2동 681-19  
    【국적】 KR  
【발명자】  
    【성명의 국문표기】 최정달  
    【성명의 영문표기】 CHOI,JUNG DAL  
    【주민등록번호】 640716-1670618  
    【우편번호】 442-706  
    【주소】 경기도 수원시 팔달구 망포동 동수원엘지빌리지 205동 1603호  
    【국적】 KR  
【발명자】  
    【성명의 국문표기】 김홍수  
    【성명의 영문표기】 KIM,HONG SOO



1020030053551

출력 일자: 2003/9/24

【주민등록번호】	710113-1069115
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 700-1 현대아파트 101-1407호
【국적】	KR
【발명자】	
【성명의 국문표기】	박규찬
【성명의 영문표기】	PARK,KYU CHARN
【주민등록번호】	600716-1674527
【우편번호】	459-709
【주소】	경기도 평택시 독곡동 라이프아파트 3동 1106호
【국적】	KR
【발명자】	
【성명의 국문표기】	조성순
【성명의 영문표기】	CHO,SEONG SOON
【주민등록번호】	671118-1684415
【우편번호】	442-736
【주소】	경기도 수원시 팔달구 영통동 살구골7단지 988-2 성지아파트 710-401
【국적】	KR
【발명자】	
【성명의 국문표기】	장성남
【성명의 영문표기】	CHANG,SUNG NAM
【주민등록번호】	601028-1342111
【우편번호】	442-736
【주소】	경기도 수원시 팔달구 영통동 살구골7단지 현대아파트 723동 404호
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2003-0003093
【출원일자】	2003.01.16
【증명서류】	첨부
【심사청구】	청구



1020030053551

출력 일자: 2003/9/24

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 41 면 41,000 원

【우선권주장료】 1 건 26,000 원

【심사청구료】 36 항 1,261,000 원

【합계】 1,357,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

다중 게이트 절연막들을 갖는 반도체소자의 제조방법 및 그에 의해 제조된 반도체소자를 제공한다. 이 방법은 반도체기판의 제1 영역 및 제2 영역 상에 각각 패드 절연막 및 상기 패드 절연막보다 두꺼운 초기 고전압 게이트 절연막을 형성하고, 상기 제1 및 제2 영역 내에 각각 상기 패드 절연막을 관통하면서 상기 반도체기판 내에 매립된 제1 소자분리막 및 상기 초기 고전압 게이트 절연막을 관통하면서 상기 반도체기판 내에 매립된 제2 소자분리막을 형성하는 것을 특징으로 한다. 따라서, 상기 제1 소자분리막에 인접한 제1 활성영역 상에 저전압 게이트 절연막을 형성하기 위하여 상기 패드 절연막을 제거하는 동안 상기 제1 소자분리막의 가장자리 영역에 형성되는 리세스된 영역(텐트 영역)의 깊이를 최소화할 수 있고, 상기 제2 소자분리막의 가장자리 영역에 텐트 영역이 형성되는 것을 완전히 방지할 수 있다.

**【대표도】**

도 13

**【명세서】****【발명의 명칭】**

다중 게이트 절연막들을 갖는 반도체소자의 제조방법 및 그에 의해 제조된 반도체소자  
{Fabrication methods of a semiconductor device having multi-gate insulation layers and  
semiconductor devices fabricated thereby}

**【도면의 간단한 설명】**

도 1 내지 도 3은 종래의 트렌치 소자분리 기술을 설명하기 위한 단면도들이다.

도 4 내지 도 7은 또 다른 종래의 트렌치 소자분리 기술을 설명하기 위한 단면도들이다.

도 8은 도 4 내지 도 7에서 보여진 종래기술의 문제점을 설명하기 위한 평면도이다.

도 9 내지 도 13은 본 발명의 일 실시예에 따른 반도체소자의 제조방법을 설명하기 위한  
단면도들이다.

도 14 내지 도 18은 본 발명의 다른 실시예에 따른 반도체소자의 제조 방법을 설명하기  
위한 단면도들이다.

도 19 내지 도 28은 본 발명의 또 다른 실시예에 따른 반도체소자의 제조방법을 설명하  
기 위한 단면도들이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <7> 본 발명은 반도체소자의 제조방법 및 그에 의해 제조된 반도체소자에 관한 것으로, 특히 다중 게이트 절연막들을 갖는 반도체소자의 제조방법 및 그에 의해 제조된 반도체소자에 관한 것이다.
- <8> 반도체소자들의 집적도가 증가함에 따라 트렌치 소자분리 기술이 널리 사용되고 있다. 상기 트렌치 소자분리 기술은 반도체기판의 소정영역을 식각하여 트렌치 영역을 형성하는 것과, 상기 트렌치 영역을 채우는 소자분리막을 형성하는 것을 포함한다.
- <9> 도 1 내지 도 3은 종래의 트렌치 소자분리 기술을 설명하기 위한 단면도들이다.
- <10> 도 1을 참조하면, 저전압 모스 트랜지스터 영역(A) 및 고전압 모스 트랜지스터 영역(B)을 갖는 반도체기판(1) 상에 패드 산화막(3) 및 패드 질화막(5)을 차례로 형성한다. 상기 저전압 모스 트랜지스터 영역(A)은 플래쉬 메모리 소자의 셀 어레이 영역 또는 플래쉬 메모리 소자의 주변회로 영역의 일 부분일 수 있다. 상기 패드 질화막(5) 및 패드 산화막(3)을 패터닝하여 상기 반도체기판(1)의 소정영역들을 노출시킨다. 이어서, 상기 패터닝된 패드 질화막(5)을 식각 마스크로 사용하여 상기 노출된 반도체기판(1)을 식각한다. 그 결과, 상기 저전압 모스 트랜지스터 영역(A) 내에 제1 트렌치 영역들(9a)이 형성되고, 상기 고전압 모스 트랜지스터 영역(B) 내에 제2 트렌치 영역들(9b)이 형성된다. 상기 제1 트렌치 영역들(9a)은 상기 저전압 모스 트랜지스터 영역(A) 내에 제1 활성영역들(7a)을 한정하고, 상기 제2 트렌치 영역들(9b)은 상기 고전압 모스 트랜지스터 영역(B) 내에 제2 활성영역들(7b)을 한정한다. 상기 제1 및 제2



트렌치 영역들(9a, 9b) 내에 각각 제1 소자분리막들(11a) 및 제2 소자분리막들(11b)을 형성한다. 상기 제1 및 제2 소자분리막들(11a, 11b)은 실리콘 산화막으로 형성한다.

<11> 도 2를 참조하면, 도 1의 상기 패터닝된 패드 질화막(5) 및 상기 패터닝된 패드 산화막(3)을 습식 식각하여 상기 제1 및 제2 활성영역들(7a, 7b)을 노출시킨다. 그 결과, 상기 제1 및 제2 소자분리막들(11a, 11b)의 가장자리 영역들에 제1 리세스된 영역들(13), 즉 덴트 영역들(dent regions)이 형성된다. 이어서, 상기 제1 리세스된 영역들(13)을 갖는 반도체기판을 열산화시켜 상기 노출된 활성영역들(7a, 7b) 상에 제1 게이트 산화막(15)을 형성한다. 상기 제1 게이트 산화막(15)은 후속 공정들을 진행하는 동안 잔존하며, 고전압 모스 트랜지스터의 게이트 절연막 역할을 한다. 상기 제1 게이트 산화막(15)의 두께가 증가할수록, 상기 제2 활성영역들(7b)의 상부 코너 상의 상기 제1 게이트 산화막(15)의 두께는 상대적으로 얇아진다. 이러한 현상은 얇음 효과(thinning effect)라 불리운다.

<12> 도 3을 참조하면, 상기 저전압 모스 트랜지스터 영역(A) 내의 상기 제1 게이트 산화막(15)을 선택적으로 제거하여 상기 제1 활성영역들(7a)을 노출시킨다. 그 결과, 상기 제1 소자분리막(11a)의 가장자리 영역들에 상기 제1 리세스된 영역들(13)보다 더 깊은 제2 리세스된 영역들(13a)이 형성된다. 이어서, 상기 제2 리세스된 영역들(13a)을 갖는 반도체기판을 열산화시켜 상기 제1 활성영역들(7a) 상에 상기 제1 게이트 산화막(15)보다 얇은 제2 게이트 산화막(17)을 형성한다. 이때, 상기 제2 활성영역들(7b) 상의 상기 제1 게이트 산화막(15)은 거의 성장되지 않는다. 따라서, 상기 제1 게이트 산화막(15)은 그것의 초기 두께와 거의 동일한 두께를 갖는다. 그럼에도 불구하고, 상기 제2 소자분리막들(11b)의 가장자리 영역들에 여전히 상기 제1 리세스된 영역들(13)이 잔존하고, 상기 제1 소자분리막들(11a)의 가장자리 영역들에 상기 제1 리세스된 영역들(13)보다 더 깊은 제2 리세스된 영역들(13a)이 잔존한다.



- <13>       상기 제2 게이트 산화막(17)을 포함하는 반도체기판의 전면 상에 게이트 도전막(19)을 형성한다. 결과적으로, 상기 제1 게이트 산화막(15)은 고전압 모스 트랜지스터의 게이트 절연막 역할을 하고, 상기 제2 게이트 산화막(17)은 저전압 모스 트랜지스터의 게이트 절연막 역할을 한다. 이어서, 상기 게이트 도전막(19)을 패터닝하여 상기 제1 활성영역들(7a)의 상부를 가로지르는 제1 게이트 전극(도시하지 않음) 및 상기 제2 활성영역들(7b)의 상부를 가로지르는 제2 게이트 전극(도시하지 않음)을 형성한다.
- <14>       상술한 바와 같이 종래의 기술에 따르면, 고전압 모스 트랜지스터 영역 내의 제2 소자분리막들의 가장자리 영역들에 제1 리세스된 영역들이 형성되고, 저전압 모스 트랜지스터 영역내의 제1 소자분리막들의 가장자리 영역들에 상기 제1 리세스된 영역들보다 더 깊은 제2 리세스된 영역들이 형성된다. 이에 따라, 저전압 모스 트랜지스터의 쉼브쓰레숄드 특성(subthreshold characteristic)은 물론 고전압 모스 트랜지스터의 쉼브쓰레숄드 특성이 현저히 저하된다. 특히, 상기 제2 활성영역들(7b)의 가장자리 코너를 덮는 상기 제1 게이트 절연막(15)의 두께는 상기 제2 활성영역들(7b)의 중심부 상에 형성된 상기 제1 게이트 절연막(15)의 두께에 비하여 상대적으로 얇으므로, 고전압 모스 트랜지스터의 게이트 절연막의 내압(breakdown voltage)이 현저히 낮아진다. 결과적으로, 고전압 모스 트랜지스터의 신뢰성이 저하된다.
- <15>       한편, 상기 리세스된 영역들이 형성되는 것을 방지하기 위하여 자기정렬 트렌치 소자분리 기술(self-aligned trench isolation technique)이 제안된 바 있다. 상기 자기정렬 트렌치 소자분리 기술은 미국특허 제6,222,225호에 "반도체소자 및 그 제조방법(Semiconductor device and manufacturing method thereof)"라는 제목으로 나카무라(Nakamura) 등에 의해 개시된 바 있다.

- <16> 도 4 내지 도 7은 상기 미국특허 제6,222,225호에 개시된 상기 자기정렬 트렌치 소자분리 기술을 설명하기 위한 단면도들이고, 도 8은 상기 미국특허 제6,222,225호에 따른 자기정렬 트렌치 소자분리 기술에서 발생될 수 있는 문제점을 설명하기 위한 평면도이다.
- <17> 도 4를 참조하면, 반도체기판(21) 상에 게이트 절연막, 제1 부유게이트막 및 실리콘 질화막을 차례로 형성한다. 상기 실리콘 질화막, 제1 부유게이트막 및 게이트 절연막을 연속적으로 패터닝하여 상기 반도체기판(21)의 소정영역을 노출시킨다. 이어서, 상기 노출된 반도체기판(21)을 선택적으로 식각하여 활성영역들(22)을 한정하는 트렌치 영역들(23)을 형성한다. 그 결과, 상기 각 활성영역들(22) 상에 차례로 적층된 터널산화막(25), 제1 부유게이트 패턴(26a) 및 연마저지막 패턴(41)이 형성된다. 상기 연마저지막 패턴들(41) 상에 상기 트렌치 영역들(23)을 채우는 절연막(24)을 형성한다.
- <18> 도 5를 참조하면, 상기 연마저지막 패턴들(41)이 노출될 때까지 상기 절연막(24)을 평탄화시키어 상기 트렌치 영역들(23) 내에 소자분리막들(24a)을 형성한다. 이어서, 상기 노출된 연마저지막 패턴들(41)을 선택적으로 제거하여 상기 제1 부유게이트 패턴들(26a)을 노출시킨다. 그 결과, 상기 소자분리막들(24a)은 상기 제1 부유게이트 패턴들(26a)의 상부면으로부터 상대적으로 돌출된다. 이에 더하여, 상기 소자분리막들(24a)의 돌출부들은 도 5에 도시된 바와 같이 음의 경사진 측벽들(negative sloped sidewalls)을 갖는다. 다시 말해서, 상기 돌출부들의 측벽들은 역 경사진 형태(inverted tapered shape)를 보인다. 상기 역 경사진 형태의 측벽들은 후속공정들의 진행(performance)을 어렵게 만들 수 있다.
- <19> 도 6을 참조하면, 상기 소자분리막들(24a)을 등방성 식각하여 그들의 측벽 프로파일을 양의 경사진 형태(positive sloped shape)로 변환시킨다(convert). 그 결과, 도 6에 도시된 바와 같이 상기 소자분리막들(24a)의 가장자리 영역들에 리세스된 영역들(R)이 형성된다.

여기서, 상기 등방성 식각공정은 상기 리세스된 영역들(R)이 상기 터널산화막(25)을 노출시키지 않도록 적절히 수행된다. 따라서, 상기 리세스된 영역들(R)은 모스 트랜지스터의 썬브르레 솔드 특성에 영향을 주지 않는다.

<20> 도 7을 참조하면, 상기 리세스된 영역들(R)을 갖는 반도체기판의 전면 상에 제2 부유게이트막을 형성한다. 상기 제2 부유게이트막을 패터닝하여 상기 활성영역들(22)을 덮는 제2 부유게이트 패턴들(26b)을 형성한다. 차례로 적층된 상기 제1 및 제2 부유게이트 패턴들(26a, 26b)은 부유게이트 패턴(26)을 구성한다. 이어서, 상기 부유게이트 패턴들(26)을 갖는 반도체기판의 전면 상에 게이트 층간절연막(inter-gate dielectric layer; 27) 및 제어게이트 전극막을 차례로 형성한다.

<21> 계속해서, 상기 제어게이트 전극막, 게이트 층간절연막(27) 및 부유게이트 패턴들(26)을 연속적으로 패터닝하여 상기 활성영역들(22)의 상부를 가로지르는 제어게이트 전극들(28)과 아울러서 상기 제어게이트 전극들(28) 및 상기 활성영역들(22) 사이에 개재된 부유게이트들(26)을 형성한다. 이때, 도 8에 도시된 바와 같이 서로 이웃한 상기 제어게이트 전극들(28) 사이의 상기 소자분리막들(24a)의 가장자리 영역들에 스트링거들(stringers; S)이 형성될 수 있다. 상기 스트링거들(S)은 도 6에 보여진 상기 리세스된 영역들(R)에 기인하여 형성된다. 상기 스트링거들(S)은 상기 제2 부유게이트 패턴들(26b)의 잔여물(residue)에 해당한다.

<22> 상술한 바와 같이 종래의 트렌치 소자분리 기술 및 종래의 자기정렬 트렌치 소자분리 기술에 따라 제조된 소자분리막들은 많은 문제점들을 야기시킬 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <23> 본 발명이 이루고자 하는 기술적 과제는 다중 게이트 절연막들을 갖는 반도체소자에 있어서 고전압 모스 트랜지스터의 게이트 절연막과 인접한 소자분리막의 가장자리에 리세스된 영역들이 형성되는 것을 방지할 수 있는 반도체소자의 제조방법 및 그에 의해 제조된 반도체소자를 제공하는 데 있다.
- <24> 본 발명이 이루고자 하는 다른 기술적 과제는 다중 게이트 절연막들을 갖는 반도체소자에 있어서 저전압 모스 트랜지스터의 게이트 절연막과 인접한 소자분리막의 가장자리에 형성되는 리세스된 영역들의 깊이를 최소화시킬 수 있는 반도체소자의 제조방법 및 그에 의해 제조된 반도체소자를 제공하는 데 있다.
- <25> 본 발명이 이루고자 하는 또 다른 기술적 과제는 다중 게이트 절연막들을 갖는 반도체소자에 있어서 소자분리막의 가장자리에 리세스된 영역들이 형성되는 것을 근본적으로 방지할 수 있는 반도체소자의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <26> 상기 기술적 과제들을 이루기 위하여 본 발명은 다중 게이트 절연막들을 갖는 반도체소자의 제조방법들 및 그에 의해 제조된 반도체소자들을 제공한다. 상기 반도체소자의 제조방법들은 반도체기판의 제1 영역 및 제2 영역 상에 각각 패드 절연막 및 상기 패드 절연막보다 두꺼운 초기 고전압 게이트 절연막(an initial high voltage gate insulation layer)을 형성한 다음에, 상기 제1 및 제2 영역 내에 각각 상기 패드 절연막을 관통하면서 상기 반도체기판 내에 매립된 제1 소자분리막 및 상기 초기 고전압 게이트 절연막을 관통하면서 상기 반도체기판 내에 매립된 제2 소자분리막을 형성하는 것을 특징으로 한다. 따라서, 상기 제1 소자분리막에

인접한 제1 활성영역 상에 저전압 게이트 절연막을 형성하기 위하여 상기 패드 절연막을 제거하는 동안 상기 제1 소자분리막의 가장자리 영역에 형성되는 리세스된 영역(덴트 영역)의 깊이를 최소화할 수 있고, 상기 제2 소자분리막의 가장자리 영역에 덴트 영역이 형성되는 것을 완전히 방지할 수 있다.

<27> 본 발명의 일 양태에 따르면, 다중 게이트 절연막들을 갖는 반도체소자의 제조방법이 제공된다. 이 방법은 저전압 영역 및 고전압 영역을 갖는 반도체기판을 준비하는 것을 포함한다. 상기 고전압 영역 내의 상기 반도체기판 및 상기 저전압 영역 내의 상기 반도체기판 상에 각각 초기 고전압 게이트 절연막(initial high voltage gate insulation layer) 및 상기 초기 고전압 게이트 절연막보다 얇은 패드 절연막을 형성한다. 상기 패드 절연막 및 상기 초기 고전압 게이트 절연막 상에 하드 마스크 패턴들을 형성한다. 상기 하드 마스크 패턴들을 식각 마스크로 사용하여 상기 패드 절연막, 상기 초기 고전압 게이트 절연막 및 상기 반도체기판을 식각하여 상기 저전압 영역 및 상기 고전압 영역 내에 각각 제1 트렌치 영역들 및 제2 트렌치 영역들을 형성한다. 상기 제1 트렌치 영역들은 상기 저전압 영역 내에 제1 활성영역들을 한정하고, 상기 제2 트렌치 영역들은 상기 고전압 영역 내에 제2 활성영역들을 한정한다. 상기 제1 및 제2 트렌치 영역들 내에 각각 제1 및 제2 소자분리막들을 형성한다. 상기 마스크 패턴들 및 상기 패드 절연막을 제거하여 상기 제1 활성영역들 및 상기 초기 고전압 게이트 절연막을 노출시킨다. 이어서, 상기 노출된 제1 활성영역들 상에 상기 초기 고전압 게이트 절연막보다 얇은 저전압 게이트 절연막을 형성한다.

<28> 상기 저전압 영역은 저전압 모스 트랜지스터 영역에 해당하고, 상기 고전압 영역은 고전압 모스 트랜지스터 영역에 해당한다. 이와는 달리(alternatively), 상기 저전압 영역은 셀 어



레이 영역에 해당할 수 있고, 상기 고전압 영역은 주변회로 영역의 고전압 모스 트랜지스터 영역에 해당할 수 있다.

<29>       상기 초기 고전압 게이트 절연막 및 상기 패드 절연막을 형성하는 것은 상기 반도체기판의 전면 상에 초기 고전압 게이트 산화막을 형성하는 것과, 상기 초기 고전압 게이트 산화막을 선택적으로 제거하여 상기 저전압 영역 내의 상기 반도체기판을 노출시키는 것과, 상기 고전압 게이트 산화막이 선택적으로 제거된 반도체기판을 열산화시켜 상기 노출된 반도체기판의 표면에 패드 산화막을 형성하는 것을 포함하는 것이 바람직하다. 상기 초기 고전압 게이트 산화막은 열산화막으로 형성할 수 있다.

<30>       상기 하드 마스크 패턴들은 상기 초기 고전압 게이트 절연막 및 상기 패드 절연막을 갖는 반도체기판의 전면 상에 하드 마스크막을 형성하고 상기 하드 마스크막을 패턴닝함으로써 형성될 수 있다. 상기 하드 마스크막은 하부 하드 마스크막 및 상부 하드 마스크막을 차례로 적층시켜 형성할 수 있다. 이 경우에, 상기 하부 하드 마스크막은 상기 초기 고전압 게이트 절연막, 상기 패드 절연막 및 상기 반도체기판에 대하여 식각 선택비를 갖는 제1 물질막으로 형성하는 것이 바람직하고, 상기 상부 하드 마스크막은 상기 반도체기판에 대하여 식각 선택비를 갖는 제2 물질막으로 형성하는 것이 바람직하다. 상기 제1 물질막은 실리콘 질화막으로 형성할 수 있고, 상기 제2 물질막은 실리콘 산화막으로 형성할 수 있다.

<31>       또 다른 방법으로(alternatively), 상기 하드 마스크막은 상기 초기 고전압 게이트 절연막, 상기 패드 절연막 및 상기 반도체기판에 대하여 식각 선택비를 갖는 단일 물질막(a single material layer)으로 형성할 수도 있다. 상기 단일 물질막은 실리콘 질화막으로 형성하는 것이 바람직하다.



- <32>        상기 제1 및 제2 소자분리막들은 상기 제1 및 제2 트렌치 영역들을 갖는 반도체기판의 전면 상에 상기 트렌치 영역들을 채우는 절연막을 형성하고, 상기 하드 마스크 패턴들이 노출 될 때까지 상기 절연막을 평탄화시킴으로써 형성될 수 있다.
- <33>        상기 제1 및 제2 소자분리막들을 형성하기 전에, 상기 제1 및 제2 트렌치 영역들의 내벽에 열산화막을 추가로(Additionally) 형성할 수 있다.
- <34>        상기 저전압 게이트 절연막은 열산화막으로 형성하는 것이 바람직하다.
- <35>        더 나아가서, 본 발명은 상기 저전압 게이트 절연막 및 상기 고전압 게이트 절연막 상에 각각 상기 제1 활성영역을 가로지르는 저전압 게이트 전극 및 상기 제2 활성영역들을 가로지르는 고전압 게이트 전극을 형성하는 것을 더 포함한다.
- <36>        다른 방법으로(alternatively), 본 발명은 상기 저전압 게이트 절연막을 덮는 부유게이트 패턴 및 상기 고전압 영역을 덮는 메인 게이트 패턴을 형성하는 것과, 상기 부유게이트 패턴들 및 상기 메인 게이트 패턴을 갖는 반도체기판의 전면 상에 게이트 층간절연막 및 도전막을 차례로 형성하는 것과, 상기 도전막, 상기 게이트 층간절연막, 상기 부유게이트 패턴들 및 상기 메인 게이트 패턴들을 패터닝하여 상기 저전압 영역 내에 상기 제1 활성영역들을 가로지르는 제어게이트 전극들과 아울러서 상기 제어게이트 전극들 및 상기 저전압 게이트 절연막 사이에 개재된 부유게이트들을 형성함과 동시에 상기 고전압 영역 내에 상기 제2 활성영역들을 가로지르면서 차례로 적층된 메인 게이트 전극들 및 더미 게이트 전극들을 형성하는 것을 더 포함할 수 있다.
- <37>        한편, 본 발명은 상기 제1 및 제2 트렌치 영역들을 형성하기 전에 상기 하드 마스크 패턴들의 측벽들 상에 스페이서들을 형성하는 것을 더 포함할 수 있다. 이 경우에, 상기 제1 및



제2 트렌치 영역들은 상기 하드 마스크 패턴들 및 상기 스페이서들을 식각 마스크들로 사용하여 상기 반도체기판을 식각함으로써 형성되고, 상기 스페이서들은 상기 제1 및 제2 소자분리막들을 형성하기 전에 제거된다.

<38> 본 발명의 다른 양태에 따르면, 다중 게이트 절연막들을 갖는 반도체소자가 제공된다. 상기 반도체소자는 저전압 영역 및 고전압 영역을 갖는 반도체기판을 구비한다. 상기 저전압 영역 내의 상기 반도체기판의 소정영역에 제1 소자분리막이 배치되고, 상기 고전압 영역 내의 상기 반도체기판의 소정영역에 제2 소자분리막이 배치된다. 상기 제1 및 제2 소자분리막들은 각각 제1 및 제2 활성영역들을 한정한다. 상기 제1 및 제2 활성영역들 상에 각각 저전압 게이트 절연막 및 상기 저전압 게이트 절연막보다 두꺼운 고전압 게이트 절연막이 적층된다. 상기 제2 소자분리막의 상부면(top surface)은 상기 고전압 게이트 절연막의 상부면보다 높다. 따라서, 상기 고전압 게이트 절연막 및 상기 제2 소자분리막 사이에 단차부위(step region)가 존재한다. 상기 단차부위는 고전압 게이트 절연막의 상부면보다 낮은 어떠한 리세스된 영역 없는 프로파일을 갖는다. 상기 단차부위는 상기 제2 활성영역의 가장자리 코너를 지나는 수직축으로부터 이와 인접한 상기 제2 소자분리막을 향하여 이격된 지점에 위치한다.

<39> 더 나아가서, 본 발명은 상기 저전압 게이트 절연막 상에 형성된 저전압 게이트 전극 및 상기 고전압 게이트 절연막 상에 형성된 고전압 게이트 전극을 더 포함한다. 상기 저전압 게이트 전극은 상기 제1 활성영역의 상부를 가로지르고, 상기 고전압 게이트 전극은 상기 제2 활성영역의 상부를 가로지른다.

<40> 이와는 달리(alternatively), 본 발명은 상기 저전압 게이트 절연막 상부에 형성된 제어 게이트 전극, 상기 제어게이트 전극 및 상기 저전압 게이트 절연막 사이에 개재된 부유게이트, 상기 고전압 게이트 절연막 상에 차례로 적층된 메인 게이트 전극 및 더미 게이트 전극을 더

포함할 수 있다. 상기 제어게이트 전극은 상기 제1 활성영역의 상부를 가로지르고, 상기 메인 게이트 전극은 상기 제2 활성영역의 상부를 가로지른다. 또한, 상기 부유게이트 및 상기 제어 게이트 전극 사이와 상기 메인 게이트 전극 및 상기 더미 게이트 전극 사이에는 게이트 층간절연막이 개재된다.

<41> 이에 더하여, 상기 제1 소자분리막 및 상기 반도체기판 사이와 상기 제2 소자분리막 및 상기 반도체기판 사이에 열산화막이 개재될 수 있다.

<42> 본 발명의 일 실시예에 따르면, 상기 반도체소자는 저전압 영역 및 고전압 영역을 갖는 반도체기판을 구비한다. 상기 저전압 영역 내의 상기 반도체기판의 소정영역에 제1 활성영역을 한정하는 제1 트렌치 영역이 형성된다. 제1 활성영역은 그 가장자리에 돌출된 표면 프로파일(protruded surface profile)를 갖는 돌출부(protrusion)를 갖는다. 상기 제1 활성영역 및 상기 제1 트렌치 영역 사이에 제1 경사진 영역(a first sloped region)이 개재된다. 상기 제1 경사진 영역은 상기 제1 활성영역의 상기 돌출된 가장자리 표면으로부터 하부로(downwardly) 연장된 제1 경사면(a first inclined plane)을 갖는다. 상기 고전압 영역 내의 상기 반도체기판의 소정영역에 제1 활성영역을 한정하는 제2 트렌치 영역이 형성된다. 상기 제1 활성영역은 평평한 표면을 갖는다. 상기 제2 활성영역 및 상기 제2 트렌치 영역 사이에 제2 경사진 영역이 개재된다. 상기 제2 경사진 영역은 상기 제2 활성영역의 가장자리 코너(edge corner)로부터 하부로 연장된 제2 경사면을 갖는다. 상기 제1 트렌치 영역은 제1 소자분리막으로 채워지고, 상기 제1 소자분리막은 상기 제1 경사면을 덮는다. 이와 마찬가지로, 상기 제2 트렌치 영역은 제2 소자분리막으로 채워지고, 상기 제2 소자분리막은 상기 제2 경사면을 덮는다. 상기 제1 활성영역은 저전압 게이트 절연막으로 덮여진다. 상기 저전압 게이트 절연막은 상기 제1 소자분리막의 상부면보다 낮은 상부면을 갖는다. 상기 제2 활성영역은 고전압 게이트 절연막으로 덮

여진다. 상기 고전압 게이트 절연막은 상기 제2 소자분리막의 상부면보다 낮은 평평한 상부면을 갖고 상기 저전압 게이트 절연막보다 두껍다. 상기 저전압 게이트 절연막 및 상기 고전압 게이트 절연막의 상부면들은 어떠한 리세스된 영역(덴트; dent) 없는 프로파일을 갖는다.

<43> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<44> 도 9 내지 도 13은 본 발명의 제1 실시예에 따른 반도체소자의 제조방법을 설명하기 위한 단면도들이다.

<45> 도 9를 참조하면, 저전압 영역(C) 및 고전압 영역(D)을 갖는 반도체기판(51)을 준비한다. 상기 저전압 영역(C)은 셀 어레이 영역에 해당하고, 상기 고전압 영역(D)은 주변회로 영역의 고전압 모스 트랜지스터 영역에 해당한다. 이와는 달리, 상기 저전압 영역(C)은 주변회로의 저전압 모스 트랜지스터 영역일 수도 있다. 또한, 상기 반도체기판(51)은 실리콘 웨이퍼일 수 있다. 상기 반도체기판(51)의 전면 상에 초기 고전압 게이트 절연막(initial high voltage gate insulation layer; 53)을 제1 두께(T1)로 형성한다. 상기 초기 고전압 게이트 절연막(53)은 열산화막으로 형성하는 것이 바람직하다. 상기 제1 두께(T1)는 최종적으로 요구되는 두께보다 큰 것이 바람직하다. 예를 들면, 400Å의 두께를 갖는 고전압 게이트 절연막이 요



구되는 경우에, 상기 제1 두께(T1)는 450Å 내지 500Å의 두께인 것이 바람직하다. 이는, 후속의 습식 식각공정에서 상기 초기 고전압 게이트 절연막(53)이 식각될 수 있기 때문이다.

<46> 계속해서, 상기 초기 고전압 게이트 절연막(53)을 선택적으로 패터닝하여 상기 저전압 영역(C) 내의 상기 반도체기판(51)을 노출시킨다. 상기 초기 고전압 게이트 절연막(53)을 패터닝하기 위한 공정은 상기 고전압 영역(D) 내의 상기 초기 고전압 게이트 절연막(53)을 덮는 포토레지스트 패턴(도시하지 않음)을 형성하는 것과 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 저전압 영역(C) 내의 상기 초기 고전압 게이트 절연막(53)을 식각하는 것과 상기 포토레지스트 패턴을 제거하는 것을 포함한다. 여기서, 상기 초기 고전압 게이트 절연막(53)을 식각하는 것은 습식 식각공정을 사용하여 실시하는 것이 바람직하다.

<47> 상기 저전압 영역(C) 내의 상기 노출된 반도체기판(51) 상에 패드 절연막(55)을 형성한다. 상기 패드 절연막(55)은 상기 제1 두께(T1)보다 얇은 제2 두께(T2)로 형성하는 것이 바람직하다. 예를 들면, 상기 제1 두께(T1)가 450Å인 경우에, 상기 제2 두께(T2)는 100Å보다 작은 것이 바람직하다. 또한, 상기 패드 절연막(55)은 열산화막으로 형성하는 것이 바람직하다. 상기 패드 절연막(55)을 형성하는 동안 상기 고전압 영역(D) 내에 잔존하는 상기 초기 고전압 게이트 절연막(53)의 두께(즉, 상기 제1 두께(T1))는 크게 변화하지 않는다. 이는, 상기 초기 고전압 게이트 절연막(53)의 존재에 기인하여 상기 고전압 영역(D) 내의 반도체기판(51)의 산화율(oxidation rate)이 매우 느리기 때문이다.

<48> 상기 패드 절연막(55)이 형성된 반도체기판의 전면 상에 하드 마스크막(60)을 형성한다. 상기 하드 마스크막(60)은 하부 하드 마스크막(lower hard mask layer; 57) 및 상부 하드 마스크막(upper hard mask layer; 59)을 차례로 적층시켜 형성할 수 있다. 이 경우에, 상기 하부 하드 마스크막(57)은 상기 패드 절연막(55), 상기 초기 고전압 게이트 절연막(53) 및 상기 반



도체기판(51)에 대하여 식각 선택비를 갖는 제1 물질막으로 형성하는 것이 바람직하고, 상기 상부 하드 마스크막(59)은 상기 반도체기판(51)에 대하여 식각 선택비를 갖는 제2 물질막으로 형성하는 것이 바람직하다. 예를 들면, 상기 제1 및 제2 물질막들은 각각 실리콘 질화막 및 실리콘 산화막으로 형성할 수 있다.

<49> 이와는 달리, 상기 하드 마스크막(60)은 상기 상기 패드 절연막(55), 상기 초기 고전압 게이트 절연막(53) 및 상기 반도체기판(51)에 대하여 식각 선택비를 갖는 단일 물질막(a single layer of material)으로 형성할 수도 있다. 다시 말해서, 상기 하드 마스크막(60)은 상기 하부 하드 마스크막(57)만으로 형성할 수 있다. 결과적으로, 상기 상부 하드 마스크막(59)을 형성하는 공정을 생략할 수 있다.

<50> 도 10을 참조하면, 상기 하드 마스크막(60)을 패터닝하여 복수개의 하드 마스크 패턴들(60a)을 형성한다. 이에 따라, 상기 하드 마스크 패턴들(60a)의 각각은 차례로 적층된 하부 하드 마스크 패턴(57a) 및 상부 하드 마스크 패턴(59a)으로 구성되거나 상기 하부 하드 마스크 패턴(57a)만으로 구성된다. 이어서, 상기 하드 마스크 패턴들(60a)을 식각 마스크로 사용하여 상기 초기 고전압 게이트 절연막(53), 상기 패드 절연막(55) 및 상기 반도체기판(51)을 식각하여 상기 저전압 영역(C) 및 상기 고전압 영역(D) 내에 각각 제1 및 제2 트렌치 영역들(61c, 61d)을 형성한다. 상기 제1 트렌치 영역들(61c)은 상기 저전압 영역(C) 내에 제1 활성영역들(63c)을 한정하고, 상기 제2 트렌치 영역들(61d)은 상기 고전압 영역(D) 내에 제2 활성영역들(63d)을 한정한다. 상기 제1 및 제2 트렌치 영역들(61c, 61d)을 갖는 반도체기판을 열산화시켜 상기 제1 및 제2 트렌치 영역들(61c, 61d)의 내벽들(inner walls)에 열산화막(65)을 형성하는 것이 바람직하다. 상기 열산화막(65)을 형성하기 위한 공정은 상기 제1 및 제2 트렌치 영역

들(61c, 61d)을 형성하는 동안 제1 및 제2 트렌치 영역들(61c, 61d)의 내벽들에 가해진 식각 손상을 치유하기 위한 목적으로 실시된다.

<51> 도 11을 참조하면, 상기 제1 및 제2 트렌치 영역들(61c, 61d)을 갖는 반도체기판의 전면 상에 절연막을 형성한다. 상기 절연막은 고밀도 플라즈마 산화막 또는 고온 산화막(high temperature oxide layer; HTO)과 같은 CVD(chemical vapor deposition) 산화막으로 형성하는 것이 바람직하다. 또한, 상기 절연막은 상기 제1 및 제2 트렌치 영역들(61c, 61d)을 완전히 채우도록 형성하는 것이 바람직하다. 상기 하드 마스크 패턴들(60a)이 노출될 때까지 상기 절연막을 평탄화시키어 상기 제1 및 제2 트렌치 영역들(61c) 내에 각각 제1 및 제2 소자분리막들(67c, 67d)을 형성한다. 상기 평탄화 공정은 화학기계적 연마 공정을 사용하여 실시하는 것이 바람직하다. 이 경우에, 상기 상부 하드마스크 패턴들(59a)은 상기 화학기계적 연마공정 동안 제거될 수 있다. 결과적으로, 상기 하부 하드마스크 패턴들(57a)은 상기 화학기계적 연마공정 동안 연마 저지막(polishing stopper layer) 역할을 한다.

<52> 도 12를 참조하면, 상기 하부 하드마스크 패턴들(57a)을 인산 용액(phosphoric acid;  $H_3PO_4$ )을 사용하여 선택적으로 제거하여 상기 초기 고전압 게이트 절연막(53) 및 상기 패드 절연막(55)을 노출시킨다. 이어서, 상기 노출된 패드 절연막(55)을 제거하여 상기 제1 활성영역들(63c)을 노출시킨다. 이에 따라, 상기 제1 소자분리막들(67c)이 과도식각될 수 있다. 그 결과, 도 12에 도시된 바와 같이 상기 제1 소자분리막들(67c)의 가장자리 영역들에 텐트 영역들(69)이 형성될 수 있다. 그러나, 본 실시예에서, 상기 텐트 영역들(69)은 종래기술에 비하여 현저히 얇은 깊이를 갖는다. 이는, 상기 제1 소자분리막들(67c)이 100Å 이하의 매우 얇은 두께를 갖는 상기 패드 절연막(55)을 제거하는 동안에만 식각되기 때문이다.



<53>        상기 초기 고전압 게이트 절연막(53) 및 상기 패드 절연막(55)이 실리콘 산화막, 즉 열 산화막으로 형성된 경우에, 상기 패드 절연막(55)은 완충산화막 식각용액(buffered oxide etchant; BOE) 또는 불산용액(hydrofluoric acid; HF)과 같은 산화막 식각용액(oxide etchant)을 사용하여 제거될 수 있다. 이때, 상기 초기 고전압 게이트 절연막(53) 역시 식각되어 상기 제2 활성영역들(63d) 상에 상기 제1 두께(T1)보다 작은 제3 두께(T3)를 갖는 최종 고전압 게이트 절연막(53a)이 잔존한다.

<54>        상기 제1 및 제2 소자분리막들(67c, 67d)의 상부면들은 상기 초기 고전압 게이트 절연막(53)의 상부면보다 높은 레벨을 갖는다. 따라서, 상기 최종 고전압 게이트 절연막(53a) 및 상기 제2 소자분리막들(67d) 사이에 단차부위들(step regions; F)이 존재한다. 특히, 상기 제1 및 제2 소자분리막들(67c, 67d)은 상기 패드 절연막(55)을 제거하는 동안 수직방향 및 횡방향으로 식각된다(vertically and laterally etched)된다. 따라서, 상기 단차 부위들(F)은 상기 제2 활성영역들(63d)의 가장자리 코너들(E) 위의 지점들(positions over the edge regions)로부터 상기 가장자리 코너들(E)과 인접한 상기 제2 소자분리막들(67d) 내로 이동된다. 결과적으로, 상기 최종 고전압 게이트 절연막(53a)의 상부면은 그 아래의 상기 제2 활성영역(63d)보다 넓은 폭을 갖는다. 또한, 상기 패드 절연막(55)을 제거하는 동안 상기 제2 소자분리막들(67d)의 가장자리에 어떠한 덴트 영역들도 형성되지 않는다. 이는, 상기 초기 고전압 게이트 절연막(53)이 상기 패드 절연막(55)에 비하여 훨씬 두껍기 때문이다.

<55>        도 13을 참조하면, 상기 제1 활성영역들(63c) 상에 상기 초기 고전압 게이트 절연막(53)보다 얇은 저전압 게이트 절연막(71)을 형성한다. 좀 더 구체적으로, 상기 저전압 게이트 절연막(71)은 상기 최종 고전압 게이트 절연막(53a)보다 얇다. 또한, 상기 저전압 게이트 절연막(71)은 열산화막으로 형성하는 것이 바람직하다. 이 경우에, 상기 최종 고전압 게이트 절연막



(53a)의 두께(즉, 상기 제3 두께(T3))는 거의 변화하지 않는다. 상기 저전압 게이트 절연막(71)을 갖는 반도체기판의 전면 상에 제1 도전막을 형성한다.

<56>       상기 저전압 영역(C)이 플래쉬 메모리 소자의 셀 어레이 영역에 해당하고 상기 고전압 영역(D)이 상기 플래쉬 메모리 소자의 주변회로 영역 내의 고전압 모스 트랜지스터 영역에 해당하는 경우에, 상기 저전압 게이트 절연막(71)은 상기 플래쉬 메모리 셀의 터널산화막에 해당한다. 이 경우에, 상기 제1 도전막을 패터닝하여 상기 제1 활성영역들(63c)을 덮는 부유게이트 패턴들 및 상기 고전압 영역(D)을 덮는 메인 게이트 패턴을 형성한다. 상기 부유게이트 패턴들 및 메인 게이트 패턴을 갖는 반도체기판의 전면 상에 게이트 층간절연막(75) 및 제2 도전막을 차례로 형성한다. 이어서, 상기 제2 도전막, 게이트 층간절연막(75), 부유게이트 패턴들 및 메인 게이트 패턴을 패터닝하여 상기 제1 활성영역들(63c)의 상부를 가로지르는 제어게이트 전극(77c) 및 상기 제어게이트 전극(77c) 및 상기 저전압 게이트 절연막(71) 사이에 개재된 부유게이트들(73c)을 형성한다. 이와 동시에, 상기 고전압 영역(D) 내에 상기 제2 활성영역(63d)의 상부를 가로지르면서 차례로 적층된 메인 게이트 전극(73d) 및 더미 게이트 전극(77d)이 형성된다.

<57>       한편, 상기 저전압 영역(C)이 비메모리 소자(non-memory device)의 저전압 모스 트랜지스터 영역에 해당하고 상기 고전압 영역(D)이 상기 비메모리 소자의 고전압 모스 트랜지스터 영역에 해당하면, 상기 제1 도전막을 패터닝하여 상기 제1 활성영역들(63c)의 상부를 가로지르는 저전압 게이트 전극(도 13의 73c) 및 상기 제2 활성영역들(63d)의 상부를 가로지르는 고전압 게이트 전극(도 13의 73d)을 형성한다. 이 경우에, 상기 게이트 층간절연막(75) 및 제2 도전막을 형성하는 공정들은 생략된다.

<58>       이제, 본 발명의 제1 실시예에 따라 제조된 반도체소자의 구조를 설명하기로 한다.



<59> 도 13을 다시 참조하면, 반도체기판(51)은 저전압 영역(C) 및 고전압 영역(D)을 갖는다. 상기 저전압 영역(C) 내의 상기 반도체기판(51)의 소정 영역들에 제1 소자분리막들(67c)이 형성된다. 또한, 상기 고전압 영역(D) 내의 상기 반도체기판(51)의 소정영역들에 제2 소자분리막들(67d)이 형성된다. 상기 제1 소자분리막들(67c)은 상기 저전압 영역(C) 내에 제1 활성영역들(63c)을 한정하고, 상기 제2 소자분리막들(67d)은 상기 고전압 영역(D) 내에 제2 활성영역들(63d)을 한정한다. 상기 제1 활성영역들(63c)은 저전압 게이트 절연막(71)으로 덮여진다. 이와 마찬가지로, 상기 제2 활성영역들(63d)은 상기 저전압 게이트 절연막(71)보다 두꺼운 고전압 게이트 절연막(53a)으로 덮여진다. 또한, 상기 제1 및 제2 소자분리막들(67c, 67d)의 상부면들은 상기 저전압 게이트 절연막(71) 및 고전압 게이트 절연막(53a)의 상부면들보다 높은 레벨에 위치한다. 결과적으로, 상기 고전압 게이트 절연막(53a) 및 상기 제2 소자분리막들(67d) 사이에 단차부위들(F)이 존재한다.

<60> 상기 단차 부위들(F)은 도 13에 도시된 바와 같이 상기 제2 활성영역들(63d)의 가장자리 코너들(E)을 지나는 수직축들(79)로부터 상기 수직축들(79)과 인접한 상기 제2 소자분리막들(67d)을 향하여 이격된 지점들에 위치한다. 다시 말해서, 상기 고전압 게이트 절연막(53a)의 상부면은 상기 고전압 게이트 절연막(53a)의 하부에 위치한 상기 제2 활성영역(63d)보다 더 넓은 폭을 갖는다. 또한, 상기 단차부위들(F), 즉 상기 제2 소자분리막들(67d)의 가장자리 영역들은 상기 고전압 게이트 절연막(53a)의 상부면보다 낮은 어떠한 텐트 영역들(리세스된 영역들)도 갖지 않는다. 이에 반하여, 상기 제1 소자분리막들(67c)은 그들의 가장자리 영역들에 형성된 얇은 텐트 영역들을 가질 수 있다. 다시 말해서, 상기 제1 소자분리막들(67c)의 가장자리 영역들은 상기 저전압 게이트 절연막(71)의 상부면보다 낮을 수 있다.



<61>        상기 저전압 영역(C)이 플래쉬 메모리소자의 셀 어레이 영역에 해당하고, 상기 고전압 영역(D)이 상기 플래쉬 메모리소자의 주변회로 영역 내의 고전압 모스 트랜지스터 영역에 해당하는 경우에는, 상기 제1 활성영역들(63c)을 가로질러 제어게이트 전극(77c)이 배치되고 상기 제어게이트 전극(77c) 및 상기 저전압 게이트 절연막(71) 사이에 부유게이트들(73c)이 개재된다. 이에 더하여, 상기 고전압 게이트 절연막(53a) 상에 상기 제2 활성영역(63d)을 가로지르면서 차례로 적층된 메인 게이트 전극(73d) 및 더미 게이트 전극(77d)이 배치된다. 상기 부유게이트들(73c) 및 그들과 중첩되는 상기 제어게이트 전극(77c) 사이와 상기 메인 게이트 전극(73d) 및 상기 더미 게이트 전극(77d) 사이에는 게이트 층간절연막(75)이 개재된다. 상기 고전압 영역(D) 내에서, 상기 더미 게이트 전극(77d)은 상기 메인 게이트 전극(73d)의 상부면과 직접 접촉할 수도 있다.

<62>        한편, 상기 저전압 영역(C)이 비메모리 소자의 저전압 모스 트랜지스터 영역에 해당하고, 상기 고전압 영역(D)이 상기 비메모리 소자의 고전압 모스 트랜지스터 영역에 해당하면, 상기 저전압 게이트 절연막(63c) 상에 상기 각 제1 활성영역들(63c)의 상부를 가로지르는 저전압 게이트 전극들(도 13의 73c)이 배치되고 상기 고전압 게이트 절연막(53a) 상에 상기 제2 활성영역(63d)의 상부를 가로지르는 고전압 게이트 전극(도 13의 73d)이 배치된다. 이 경우에, 본 발명은 상기 게이트 층간절연막(75), 제어게이트 전극(77c) 및 더미 게이트 전극(77d)을 포함하지 않는다.

<63>        상기 제1 소자분리막들(67c) 및 상기 반도체기판(51) 사이와 상기 제2 소자분리막들(67d) 및 상기 반도체기판(51) 사이에는 열산화막(65)이 개재될 수 있다.

<64>        도 14 내지 도 18은 본 발명의 제2 실시예에 따른 반도체소자의 제조방법을 설명하기 위한 단면도들이다.

<65> 도 14를 참조하면, 상기 제1 실시예와 동일한 방법을 사용하여 저전압 영역(C) 및 고전압 영역(D)을 갖는 반도체기판(101) 상에 제1 두께(T1)를 갖는 초기 고전압 게이트 절연막(103), 상기 제1 두께(T1)보다 작은 제2 두께(T2)를 갖는 패드 절연막(105) 및 하드 마스크막(110)을 형성한다. 상기 하드 마스크막(110)은 상기 제1 실시예와 동일한 방법을 사용하여 형성한다. 다시 말해서, 상기 하드 마스크막(110)은 하부 하드 마스크막(107) 및 상부 하드 마스크막(109)을 차례로 적층시키어 형성하거나 상기 하부 하드 마스크막(107)만으로 형성할 수 있다.

<66> 도 15를 참조하면, 상기 하드 마스크막(110)을 패터닝하여 상기 저전압 영역(C) 및 고전압 영역(D) 내에 복수개의 하드 마스크 패턴들(110a)을 형성한다. 이에 따라, 상기 하드 마스크 패턴들(110a)의 각각은 차례로 적층된 하부 하드 마스크 패턴(107a) 및 상부 하드 마스크 패턴(109a)으로 구성되거나 상기 하부 하드 마스크 패턴(107a)만으로 구성될 수도 있다. 상기 하드 마스크 패턴들(110a)의 측벽들 상에 스페이서들(111)을 형성한다. 상기 스페이서들(111)은 실리콘 산화막 또는 실리콘 질화막으로 형성할 수 있다. 상기 하드 마스크 패턴들(110a) 및 스페이서들(111)을 식각 마스크들로 사용하여 상기 패드 절연막(105), 초기 고전압 게이트 절연막(103) 및 반도체기판(101)을 식각하여 상기 저전압 영역(C) 및 고전압 영역(D) 내에 각각 제1 및 제2 트렌치 영역들(113c, 113d)을 형성한다. 이에 따라, 상기 저전압 영역(C) 내에 제1 활성영역들(115c)이 한정되고, 상기 고전압 영역(D) 내에 제2 활성영역들(115d)이 한정된다.

<67> 도 16을 참조하면, 상기 스페이서들(111)을 제거한다. 상기 스페이서들(111)은 습식 식각공정을 사용하여 제거하는 것이 바람직하다. 이어서, 상기 제1 실시예와 동일한 방법들을 사용하여, 상기 제1 및 제2 트렌치 영역들(113c, 113d)의 내벽들에 열산화막(117)을 형성하고 상기 제1 및 제2 트렌치 영역들(113c, 113d) 내에 각각 제1 및 제2 소자분리막들(119c, 119d)을

형성한다. 이에 따라, 상기 하부 하드마스크 패턴들(107a)이 노출된다. 이 경우에, 상기 제1 및 제2 활성영역들(115c, 115d)의 가장자리 영역들은 각각 도 16에 도시된 바와 같이 상기 제1 및 제2 소자분리막들(119c, 119d)에 의해 덮여진다. 즉, 상기 제1 소자분리막(119c)의 상부 영역은 상기 제1 트렌치 영역(113c)보다 넓은 폭을 갖고, 상기 제2 소자분리막(119d)의 상부 영역은 상기 제2 트렌치 영역(113d)보다 넓은 폭을 갖는다.

<68> 도 17을 참조하면, 상기 노출된 하부 하드마스크 패턴들(107a) 및 상기 패드 절연막(105)을 상기 제1 실시예와 동일한 방법들을 사용하여 제거한다. 그 결과, 상기 제1 활성영역들(115c)이 노출되고, 상기 제2 활성영역들(115d) 상에 상기 제1 두께(T1)보다 작은 제3 두께(T3)를 갖는 최종 고전압 게이트 절연막(103a)이 잔존한다. 이때, 상기 제2 소자분리막(119d)의 가장자리 영역들은 물론 상기 제1 소자분리막(119c)의 가장자리 영역들에 어떠한 텐트 영역도 형성되지 않는다. 이는, 상술한 바와 같이 상기 패드 절연막(105)을 제거하기 전에 상기 제1 및 제2 활성영역들(115c, 115d)의 가장자리 영역들이 상기 제1 및 제2 소자분리막들(119c, 119d)로 덮여져 있기 때문이다.

<69> 도 18을 참조하면, 상기 패드 절연막(105)이 제거된 반도체기판을 열산화시켜 상기 제1 활성영역들(115c) 상에 상기 최종 고전압 게이트 절연막(103a)보다 얇은 저전압 게이트 절연막(121)을 형성한다. 상기 저전압 게이트 절연막(121)을 갖는 반도체기판의 전면 상에 제1 도전막을 형성한다. 상기 제1 도전막을 패터닝하여 상기 제1 활성영역들(115c)의 상부를 가로지르는 저전압 게이트 전극들(123c) 및 상기 제2 활성영역들(115d)의 상부를 가로지르는 고전압 게이트 전극들(123d)을 형성한다.

- <70> 다른 방법으로(alternatively), 도면에 도시하지는 않았지만, 상기 제1 실시예와 동일한 방법들을 사용하여 상기 저전압 영역(C) 내에 부유게이트들 및 제어게이트 전극을 형성함과 동시에 상기 고전압 영역(D) 내에 메인 게이트 전극 및 더미 게이트 전극을 형성할 수도 있다.
- <71> 도 19 내지 도 28은 본 발명의 제3 실시예에 따른 반도체소자의 제조방법을 설명하기 위한 단면도들이다.
- <72> 도 19를 참조하면, 상기 제1 실시예와 동일한 방법을 사용하여 저전압 영역(C) 및 고전압 영역(D)을 갖는 반도체기판(151) 상에 제1 두께(T1)를 갖는 초기 고전압 게이트 절연막(153), 상기 제1 두께(T1)보다 작은 제2 두께(T2)를 갖는 패드 절연막(155) 및 하드 마스크막(160)을 형성한다. 상기 하드 마스크막(160)은 상기 제1 실시예와 동일한 방법을 사용하여 형성한다. 다시 말해서, 상기 하드 마스크막(160)은 하부 하드 마스크막(157) 및 상부 하드 마스크막(159)을 차례로 적층시키어 형성하거나 상기 하부 하드 마스크막(157)만으로 형성할 수 있다.
- <73> 도 20를 참조하면, 상기 하드 마스크막(160)을 패터닝하여 상기 저전압 영역(C) 및 고전압 영역(D) 내에 복수개의 하드 마스크 패턴들(160a)을 형성한다. 이에 따라, 상기 하드 마스크 패턴들(160a)의 각각은 차례로 적층된 하부 하드 마스크 패턴(157a) 및 상부 하드 마스크 패턴(159a)으로 구성되거나 상기 하부 하드 마스크 패턴(157a)만으로 구성될 수도 있다. 계속해서, 상기 하드 마스크 패턴들(160a)을 식각 마스크들로 사용하여 상기 초기 고전압 게이트 절연막(153), 상기 패드 절연막(155) 및 상기 반도체기판(151)을 식각하여 상기 저전압 영역(C) 및 고전압 영역(D) 내에 각각 제1 및 제2 리세스된 영역들(161c, 161d)을 형성한다. 상기 패드 절연막(155)이 상기 초기 고전압 게이트 절연막(153)보다 얇기 때문에, 상기 제1 리세스된 영역(161c)의 제1 깊이(R1)가 상기 제2 리세스된 영역(161d)의 제2 깊이(R2)보다 클 수 있다.

다. 상기 제1 및 제2 깊이들(R1, R2)은 약 20Å 내지 500Å의 범위 내일 수 있다. 이어서, 상기 리세스된 영역들(161c, 161d)의 측벽들 및 상기 하드 마스크 패턴들(160a)의 측벽들 상에 스페이서들(163)을 형성한다. 상기 스페이서들(163)은 열산화막, CVD 산화막 또는 CVD 질화막을 사용하여 약 100Å 내지 300Å의 폭을 갖도록 형성할 수 있다.

<74> 도 21을 참조하면, 상기 하드마스크 패턴들(160a) 및 상기 스페이서들(163)을 식각 마스크들로 사용하여 상기 반도체기판(151)을 식각하여 상기 저전압 영역(C) 및 고전압 영역(D) 내에 각각 제1 및 제2 트렌치 영역들(165c, 165d)을 형성한다. 그 결과, 상기 저전압 영역(C) 및 고전압 영역(D) 내에 각각 제1 및 제2 활성영역들이 한정된다.

<75> 도 22를 참조하면, 상기 스페이서들(163)을 습식 식각 공정을 사용하여 제거한다. 상기 스페이서들(163)이 열산화막 또는 CVD 산화막으로 형성된 경우에, 상기 습식 식각 공정은 완충 산화막 식각용액(BOE; buffered oxide etchant)을 사용하여 실시할 수 있다. 상기 스페이서들(163)이 제거된 반도체기판을 열산화시키어 상기 리세스된 영역들(161c, 161d)의 내벽들(inner walls) 및 상기 트렌치 영역들(165c, 165d)의 내벽들에 열산화막(167)을 형성한다. 상기 제1 활성영역의 가장자리 코너 영역들(edge corner regions; K1) 및 상기 제2 활성영역의 가장자리 코너 영역들(K2)은 각각 도 23 및 도 24의 확대 단면도들(enlarged sectional views)에 보여진 바와 같이 상기 열산화 공정을 통하여 둥근 형태(rounded shape)를 보이는 가장자리 코너들(EC1, EC2)을 갖는다.

<76> 도 23 및 도 24에 있어서, 점선들(L1, L2)은 상기 열산화 공정 전의 프로파일들에 해당한다. 도 23 및 도 24를 참조하면, 상기 열산화 공정에 기인하는 둥근 효과(round effect)에 의해 상기 제1 및 제2 활성영역들의 초기 가장자리 지점들(initial edge points; P1, P2)은 상기 제1 및 제2 활성영역들의 중심부를 향하여 이동된다. 그 결과, 상기 제1 및 제2 활성영역들



은 각각 새로운 가장자리 지점들(new edge points; P1', P2')을 갖는다. 한편, 상기 제1 및 제2 트렌치 영역들(165c, 165d)의 상부 코너들(TC1, TC2)은 도 23 및 도 24에 보여진 바와 같이 씨닝 효과(thinning effect)에 기인하여 뾰족한 형태(sharp configuration)를 보일 수 있다.

<77> 도 25를 참조하면, 상기 제1 실시예와 동일한 방법들을 사용하여 상기 열산화막(167)에 의해 둘러싸여진 상기 제1 및 제2 트렌치 영역들(113c, 113d) 내에 각각 제1 및 제2 소자분리막들(169c, 169d)을 형성한다. 이에 따라, 상기 하부 하드마스크 패턴들(157a)이 노출된다.

<78> 도 26을 참조하면, 상기 노출된 하부 하드마스크 패턴들(157a) 및 상기 패드 절연막(155)을 상기 제1 실시예와 동일한 방법들을 사용하여 제거한다. 그 결과, 상기 제1 활성영역들이 노출되고, 상기 제2 활성영역들 상에 상기 제1 두께(T1)보다 작은 제3 두께(T3)를 갖는 최종 고전압 게이트 절연막(153a)이 잔존한다. 이때, 상기 제2 실시예에서 설명된 바와 같이 상기 제1 및 제2 소자분리막들(169c, 169d)의 가장자리 영역들에 어떠한 덴트 영역도 형성되지 않는다.

<79> 상기 패드 절연막(155)이 제거된 반도체기판을 열산화시키어 상기 제1 활성영역들 상에 상기 최종 고전압 게이트 절연막(153a)보다 얇은 저전압 게이트 절연막(171)을 형성한다. 상기 저전압 영역(C)이 플래쉬 메모리 소자의 셀 어레이 영역에 해당하고 상기 고전압 영역(D)이 상기 플래쉬 메모리 소자의 주변회로 영역 내의 고전압 모스 트랜지스터 영역에 해당하는 경우에, 상기 제1 실시예와 동일한 방법들을 사용하여 상기 제1 활성영역들의 상부를 가로지르는 제어게이트 전극(177c)과 아울러서 상기 제어게이트 전극(177c) 및 상기 저전압 게이트 절연막(171) 사이에 개재된 부유게이트들(173c), 그리고 상기 제어게이트 전극(177c) 및 상기 부유게이트들(173c) 사이에 개재된 게이트 충전절연막(175)을 형성한다. 이와 동시에, 상기 고전

압 영역(D) 내에 상기 제2 활성영역의 상부를 가로지르면서 차례로 적층된 메인 게이트 전극(173d) 및 더미 게이트 전극(177d)이 형성된다.

<80> 한편, 상기 저전압 영역(C)이 비메모리 소자(non-memory device)의 저전압 모스 트랜지스터 영역에 해당하고 상기 고전압 영역(D)이 상기 비메모리 소자의 고전압 모스 트랜지스터 영역에 해당하면, 상기 제1 실시예와 동일한 방법들을 사용하여 상기 제1 활성영역들의 상부를 가로지르는 저전압 게이트 전극(도 26의 173c) 및 상기 제2 활성영역들의 상부를 가로지르는 고전압 게이트 전극(도 26의 173d)을 형성한다. 이 경우에, 상기 게이트 층간절연막(175), 상기 제어게이트 전극(177c) 및 상기 더미 게이트 전극(177d)을 형성하는 공정들은 생략된다.

<81> 도 27 및 도 28은 각각 도 26의 제1 및 제2 활성영역들의 가장자리 코너 영역들(K1', K2')을 도시한 확대 단면도들(enlarged sectional views)이다. 여기서, 점선(L3)은 상기 저전압 게이트 절연막(171)을 형성하기 전의 프로파일을 나타낸다.

<82> 도 27 및 도 28을 참조하면, 상기 노출된 제1 활성영역 상에 열산화 공정을 사용하여 상기 저전압 게이트 절연막(171)이 형성된 경우에, 상기 제1 활성영역의 노출된 중심부에 형성되는 열산화막(171)은 그 가장자리에 형성되는 열산화막(171)보다 두껍도록 성장된다. 그 결과, 상기 제1 활성영역의 가장자리에 돌출된 표면 프로파일(protruded surface profile)을 갖는 돌출부(protrusion; P)가 형성된다. 다시 말해서, 상기 제1 활성영역의 가장자리 상에서 상기 저전압 게이트 절연막(171)의 씨닝 효과가 발생한다. 따라서, 상기 저전압 게이트 절연막(171)이 플래쉬 메모리 소자의 터널 산화막에 해당하는 경우에, 상기 제1 활성영역의 상기 돌출부(P)의 존재에 기인하여 프로그램 속도(program speed) 및/또는 소거 속도(erase speed)를 개선시킬 수 있다. 이는, 상기 터널 산화막의 두께가 감소되는 경우에, 셀의 컵플링 비율은 감소하지



만 상기 터널 산화막을 통하여 흐르는 터널링 전류는 오히려 지수적으로(exponentially) 증가하기 때문이다.

<83> 이에 더하여, 상기 제1 트렌치 상부 코너(upper corner; TC1) 및 상기 돌출부(P) 사이에 상기 제1 리세스된 영역(도 20의 161c)에 기인하는 제1 경사면(a first inclined plane)을 갖는 제1 경사진 영역(a first sloped region; SL1)이 형성된다. 상기 저전압 게이트 절연막(171)의 상부면 가장자리를 지나는 제1 수직축(VA1)은 상기 제1 경사진 영역(SL1)을 지난다. 이에 따라, 상기 제1 트렌치 코너(TC1) 및 상기 부유게이트(또는 저전압 게이트 전극; 173c)의 하부코너 사이의 거리(DT)는 상기 저전압 게이트 절연막(171)의 두께보다 크다. 그 결과, 상기 저전압 게이트 전극(173c)에 문턱전압보다 낮은 서브쓰레숄드(subthreshold) 전압이 인가될지라도, 상기 제1 활성영역의 가장자리 측벽에 기생 채널이 형성되는 것을 방지할 수 있다.

<84> 한편, 상기 저전압 게이트 절연막(171)이 형성될지라도, 상기 제2 활성영역의 표면은 여전히 평평한 프로파일을 갖는다. 이는, 상기 저전압 게이트 절연막의 형성 전에 상기 제2 활성영역이 상기 최종 고전압 게이트 절연막(153a)으로 덮여져 있기 때문이다. 상기 제2 가장자리 코너(EC2) 및 상기 제2 트렌치 상부코너(TC2) 사이에 상기 제2 리세스된 영역(도 20의 161d)에 기인하는 제2 경사면을 갖는 제2 경사진 영역(SL2)이 형성된다. 상기 제2 경사면은 상기 제1 경사면보다 완만할 수 있다. 이는, 상기 제2 리세스된 영역(161d)이 상기 제1 리세스된 영역(161c)보다 얇기 때문인 것으로 이해될 수 있다. 또한, 상기 고전압 게이트 절연막(153a)의 상부면 가장자리를 지나는 제2 수직축(VA2)은 상기 제2 경사진 영역(SL2)을 지난다.

#### 【발명의 효과】

<85> 상술한 바와 같이 본 발명의 실시예들에 따르면, 적어도 고전압 영역 내의 소자분리막의 가장자리 영역들에 덴트 영역들이 형성되는 것을 방지할 수 있다. 따라서, 신뢰성 있는 고전



압 모스 트랜지스터들을 구현할 수 있다. 이에 더하여, 저전압 영역 내의 소자분리막의 가장자리 영역들에 텐트 영역들이 형성될지라도, 상기 텐트 영역들의 깊이를 최소화시킬 수 있다. 이에 따라, 서로 이웃한 저전압 게이트 전극들 사이 또는 서로 이웃한 부유게이트들 사이에 스트링거가 잔존하는 확률을 최소화시킬 수 있다. 또한, 트렌치 영역들을 형성하기 전에 활성영역을 한정하는 얇은 리세스된 영역을 형성하는 경우에, 활성영역 및 트렌치 영역 사이에 경사면을 갖는 경사진 영역이 형성된다. 이에 따라, 트렌치 영역을 채우는 소자분리막의 가장자리에 텐트 영역이 형성되는 것을 방지할 수 있다.



【특허청구범위】

【청구항 1】

저전압 영역 및 고전압 영역을 갖는 반도체기판을 준비하고,

상기 고전압 영역 내의 상기 반도체기판 및 상기 저전압 영역 내의 상기 반도체기판 상에 각각 초기 고전압 게이트 절연막 및 상기 초기 고전압 게이트 절연막보다 얇은 패드 절연막을 형성하고,

상기 패드 절연막 및 상기 초기 고전압 게이트 절연막 상에 복수개의 하드 마스크 패턴들을 형성하고,

상기 하드 마스크 패턴들을 식각 마스크로 사용하여 상기 패드 절연막, 상기 초기 고전압 게이트 절연막 및 상기 반도체기판을 식각하여 상기 저전압 영역 내에 제1 활성영역들을 한정하는 제1 트렌치 영역들 및 상기 고전압 영역 내에 제2 활성영역들을 한정하는 제2 트렌치 영역들을 형성하고,

상기 제1 및 제2 트렌치 영역들 내에 각각 제1 및 제2 소자분리막들을 형성하고,

상기 마스크 패턴들 및 상기 패드 절연막을 제거하여 상기 제1 활성영역들 및 상기 초기 고전압 게이트 절연막을 노출시키고,

상기 노출된 제1 활성영역들 상에 상기 초기 고전압 게이트 절연막보다 얇은 저전압 게이트 절연막을 형성하는 것을 포함하는 반도체소자의 제조방법.



【청구항 2】

제 1 항에 있어서,

상기 저전압 영역은 저전압 모스 트랜지스터 영역에 해당하고, 상기 고전압 영역은 고전압 모스 트랜지스터 영역에 해당하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 저전압 영역은 셀 어레이 영역에 해당하고, 상기 고전압 영역은 주변회로 영역의 고전압 모스 트랜지스터 영역에 해당하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 초기 고전압 게이트 절연막 및 상기 패드 절연막을 형성하는 것은

상기 반도체기판의 전면 상에 초기 고전압 게이트 산화막을 형성하고,

상기 저전압 영역 내의 상기 초기 고전압 게이트 산화막을 선택적으로 제거하여 상기 저전압 영역 내의 상기 반도체기판을 노출시키고,

상기 저전압 영역 내의 상기 초기 고전압 게이트 산화막이 제거된 반도체기판을 열산화 시키어 상기 노출된 반도체기판 상에 상기 초기 고전압 게이트 산화막보다 얇은 패드 산화막을 형성하는 것을 포함하는 것을 특징으로 하는 반도체소자의 제조방법.



【청구항 5】

제 4 항에 있어서,

상기 초기 고전압 게이트 산화막은 열산화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 하드 마스크 패턴들을 형성하는 것은

상기 초기 고전압 게이트 절연막 및 상기 패드 절연막을 갖는 반도체기판의 전면 상에 하드 마스크막을 형성하고,

상기 하드 마스크막을 패터닝하는 것을 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 7】

제 6 항에 있어서,

상기 하드 마스크막은 하부 하드 마스크막 및 상부 하드 마스크막을 차례로 적층시키어 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 8】

제 6 항에 있어서,

상기 하부 하드 마스크막은 상기 초기 고전압 게이트 절연막, 상기 패드 절연막 및 상기 반도체기판에 대하여 식각 선택비를 갖는 제1 물질막으로 형성하고, 상기 상부 하드 마스크막



은 상기 반도체기판에 대하여 식각 선택비를 갖는 제2 물질막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 9】**

제 8 항에 있어서,

상기 제1 물질막은 실리콘 질화막으로 형성하고, 상기 제2 물질막은 실리콘 산화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 10】**

제 6 항에 있어서,

상기 하드 마스크막은 상기 초기 고전압 게이트 절연막, 상기 패드 절연막 및 상기 반도체기판에 대하여 식각 선택비를 갖는 단일 물질막(a single layer of material)으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 11】**

제 10 항에 있어서,

상기 단일 물질막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 12】**

제 1 항에 있어서,

상기 제1 및 제2 소자분리막들을 형성하는 것은

상기 제1 및 제2 트렌치 영역들을 갖는 반도체기판의 전면 상에 상기 트렌치 영역들을 채우는 절연막을 형성하고,

상기 하드 마스크 패턴들이 노출될 때까지 상기 절연막을 평탄화시키는 것을 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 13】

제 1 항에 있어서,

상기 제1 및 제2 소자분리막들을 형성하기 전에, 상기 제1 및 제2 트렌치 영역들의 내벽에 열산화막을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 14】

제 1 항에 있어서,

상기 저전압 게이트 절연막은 열산화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 15】

제 1 항에 있어서,

상기 저전압 게이트 절연막을 갖는 반도체기판의 전면 상에 제1 도전막을 형성하고,

상기 제1 도전막을 패터닝하여 상기 제1 활성영역들을 가로지르는 저전압 게이트 전극 및 상기 제2 활성영역들을 가로지르는 고전압 게이트 전극을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 16】

제 1 항에 있어서,

상기 저전압 게이트 절연막을 갖는 반도체기판의 전면 상에 제1 도전막을 형성하고,



상기 제1 도전막을 패터닝하여 상기 제1 활성영역들을 덮는 부유게이트 패턴들 및 상기 고전압 영역을 덮는 메인 게이트 패턴을 형성하고,

상기 부유게이트 패턴들 및 상기 메인 게이트 패턴들을 갖는 반도체기판의 전면 상에 게이트 층간절연막 및 제2 도전막을 차례로 형성하고,

상기 제2 도전막, 상기 게이트 층간절연막, 상기 부유게이트 패턴들 및 상기 메인 게이트 패턴들을 패터닝하여 상기 저전압 영역 내에 상기 제1 활성영역들을 가로지르는 제어게이트 전극들과 아울러서 상기 제어게이트 전극들 및 상기 저전압 게이트 절연막 사이에 개재된 부유게이트들을 형성함과 동시에 상기 고전압 영역 내에 상기 제2 활성영역들을 가로지르면서 차례로 적층된 메인 게이트 전극들 및 더미 게이트 전극들을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

#### 【청구항 17】

제 1 항에 있어서,

상기 제1 및 제2 트렌치 영역들을 형성하기 전에,

상기 하드 마스크 패턴들의 측벽들 상에 스페이서들을 형성하는 것을 더 포함하되, 상기 제1 및 제2 트렌치 영역들은 상기 하드 마스크 패턴들 및 상기 스페이서들을 식각 마스크들로 사용하여 상기 반도체기판을 식각함으로써 형성되고, 상기 스페이서들은 상기 제1 및 제2 소자 분리막들을 형성하기 전에 제거되는 것을 특징으로 하는 반도체소자의 제조방법.

#### 【청구항 18】

저전압 모스 트랜지스터 영역 및 고전압 모스 트랜지스터 영역을 갖는 반도체기판을 준비하고,





상기 반도체기판의 전면 상에 초기 고전압 게이트 산화막을 형성하고,

상기 초기 고전압 게이트 산화막을 패터닝하여 상기 저전압 모스 트랜지스터 영역 내의  
상기 반도체기판을 노출시키고,

상기 저전압 모스 트랜지스터 영역 내의 상기 노출된 반도체기판 상에 상기 초기 고전  
압 게이트 산화막보다 얇은 패드 산화막을 형성하고,

상기 패드 산화막을 갖는 반도체기판의 전면 상에 복수개의 하드 마스크 패턴들을 형성  
하고,

상기 하드 마스크 패턴들의 측벽들 상에 스페이서들을 형성하고,

상기 하드 마스크 패턴들 및 상기 스페이서들을 식각 마스크들로 사용하여 상기 패드 산  
화막, 상기 초기 고전압 게이트 산화막 및 상기 반도체기판을 식각하여 상기 저전압 모스 트랜  
지스터 영역 내에 제1 활성영역들을 한정하는 제1 트렌치 영역들 및 상기 고전압 모스 트랜지  
스터 영역 내에 제2 활성영역들을 한정하는 제2 트렌치 영역들을 형성하고,

상기 스페이서들을 제거하고,

상기 스페이서들이 제거된 반도체기판의 전면 상에 상기 제1 및 제2 트렌치 영역들을 채  
우는 절연막을 형성하고,

상기 하드 마스크 패턴들이 노출될 때까지 상기 절연막을 평탄화시키어 상기 제1 및  
제2 트렌치 영역들 내에 각각 제1 및 제2 소자분리막을 형성하고,

상기 하드 마스크 패턴들 및 상기 패드 산화막을 제거하여 상기 제1 활성영역들 및 상기  
초기 고전압 게이트 산화막을 노출시키고,



상기 노출된 제1 활성영역들 상에 상기 초기 고전압 게이트 산화막보다 얇은 저전압 게이트 산화막을 형성하는 것을 포함하는 반도체소자의 제조방법.

【청구항 19】

제 18 항에 있어서,

상기 스페이서들은 실리콘 산화막 또는 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 20】

제 18 항에 있어서,

상기 스페이서들의 형성 전에, 상기 상기 하드 마스크 패턴들을 식각 마스크들로 사용하여 상기 패드 산화막, 상기 초기 고전압 게이트 산화막 및 상기 반도체기판을 식각하여 상기 저전압 모스 트랜지스터 영역 내에 제1 활성영역들을 한정하는 제1 리세스된 영역들 및 상기 고전압 모스 트랜지스터 영역 내에 제2 활성영역들을 한정하는 제2 리세스된 영역들을 형성하고, 상기 스페이서들은 상기 하드 마스크 패턴들의 측벽들과 아울러서 상기 제1 및 제2 리세스된 영역들의 측벽들을 덮도록 형성되고 상기 제1 및 제2 트렌치 영역들은 상기 하드 마스크 패턴들 및 상기 스페이서들을 식각 마스크들로 사용하여 상기 반도체기판을 식각함으로써 형성되고,

상기 제1 및 제2 트렌치 영역들을 채우는 상기 절연막의 형성 전에, 상기 스페이서들이 제거된 반도체기판을 열산화시켜서 상기 제1 및 제2 리세스된 영역들의 내벽들 및 상기 제1 및 제2 트렌치 영역들의 내벽들에 열산화막을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 21】**

제 20 항에 있어서,

상기 스페이서들은 열산화막, CVD 산화막 또는 CVD 질화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 22】**

저전압 영역 및 고전압 영역을 갖는 반도체기판;

상기 저전압 영역 내의 상기 반도체기판의 소정영역에 형성되어 제1 활성영역을 한정하는 제1 소자분리막;

상기 고전압 영역 내의 상기 반도체기판의 소정영역에 형성되어 제2 활성영역을 한정하는 제2 소자분리막;

상기 제1 활성영역 상에 형성된 저전압 게이트 절연막; 및

상기 제2 활성영역 상에 형성되고 상기 저전압 게이트 절연막보다 두꺼운 고전압 게이트 절연막을 포함하되, 상기 제2 소자분리막의 상부면(top surface)은 상기 고전압 게이트 절연막의 상부면보다 높고, 상기 고전압 게이트 절연막 및 상기 제2 소자분리막 사이의 단차부위(step region)는 상기 고전압 게이트 절연막의 상부면보다 낮은 어떠한 리세스된 영역 없는 프로파일을 갖고, 상기 단차부위는 상기 제2 활성영역의 가장자리 코너를 지나는 수직축으로부터 이와 인접한 상기 제2 소자분리막을 향하여 이격된 지점에 위치하는 것을 특징으로 하는 반도체소자.

**【청구항 23】**

제 22 항에 있어서,



상기 저전압 게이트 절연막 상에 형성되고 상기 제1 활성영역을 가로지르는 저전압 게이트 전극; 및

상기 고전압 게이트 절연막 상에 형성되고 상기 제2 활성영역을 가로지르는 고전압 게이트 전극을 더 포함하는 것을 특징으로 하는 반도체소자.

【청구항 24】

제 22 항에 있어서,

상기 저전압 영역은 메모리 셀 영역인 것을 특징으로 하는 반도체소자.

【청구항 25】

제 24 항에 있어서,

상기 저전압 게이트 절연막은 터널산화막인 것을 특징으로 하는 반도체소자.

【청구항 26】

제 25 항에 있어서,

상기 저전압 게이트 절연막 상부에 형성되고 상기 제1 활성영역을 가로지르는 제어게이트 전극;

상기 제어게이트 전극 및 상기 저전압 게이트 절연막 사이에 개재된 부유게이트;

상기 고전압 게이트 절연막 상부에 형성되고 상기 제2 활성영역을 가로지르는 메인 게이트 전극;

상기 메인 게이트 전극 상부에 적층된 더미 게이트 전극; 및

상기 부유게이트 및 상기 제어게이트 전극 사이에 개재된 게이트 층간절연막을 더 포함하는 것을 특징으로 하는 반도체소자.

【청구항 27】

제 22 항에 있어서,

상기 제1 소자분리막 및 상기 반도체기판 사이와 상기 제2 소자분리막 및 상기 반도체기판 사이에 개재된 열산화막을 더 포함하는 것을 특징으로 하는 반도체소자.

【청구항 28】

제 22 항에 있어서,

상기 제1 소자분리막의 가장자리 영역은 상기 저전압 게이트 절연막의 상부면보다 낮은 것을 특징으로 하는 반도체소자.

【청구항 29】

저전압 영역 및 고전압 영역을 갖는 반도체기판;

상기 저전압 영역 내의 상기 반도체기판의 소정영역에 형성되어 돌출된 가장자리 표면(protruded edge surface)을 갖는 제1 활성영역을 한정하는 제1 트렌치 영역;

상기 제1 트렌치 영역 및 상기 제1 활성영역 사이에 개재되되, 상기 제1 활성영역의 상기 돌출된 가장자리 표면으로부터 하부로(downwardly) 연장된 제1 경사면(a first inclined plane)을 갖는 제1 경사진 영역(a first sloped region);

상기 고전압 영역 내의 상기 반도체기판의 소정영역에 형성되어 평평한 표면을 갖는 제2 활성영역을 한정하는 제2 트렌치 영역;



상기 제2 트렌치 영역 및 상기 제2 활성영역 사이에 형성되되, 상기 제2 활성영역의 가장자리 코너(edge corner)로부터 하부로 연장된 제2 경사면을 갖는 제2 경사진 영역;

상기 제1 경사면을 덮고 상기 제1 트렌치 영역을 채우는 제1 소자분리막;

상기 제2 경사면을 덮고 상기 제2 트렌치 영역을 채우는 제2 소자분리막;

상기 제1 활성영역 상에 형성되되, 상기 제1 소자분리막의 상부면보다 낮은 상부면을 갖는 저전압 게이트 절연막; 및

상기 제2 활성영역 상에 형성되되, 상기 제2 소자분리막의 상부면보다 낮은 평평한 상부면을 갖고 상기 저전압 게이트 절연막보다 두꺼운 고전압 게이트 절연막을 포함하되, 상기 저전압 게이트 절연막 및 상기 고전압 게이트 절연막의 상부면들은 어떠한 리세스된 영역 없는 프로파일을 갖는 반도체소자.

#### 【청구항 30】

제 29 항에 있어서,

상기 제1 활성영역의 상기 돌출된 가장자리 표면 상의 상기 저전압 게이트 절연막은 상기 제1 활성영역의 중심부 상의 상기 저전압 게이트 절연막보다 얇은 것을 특징으로 하는 반도체소자.

#### 【청구항 31】

제 29 항에 있어서,

상기 저전압 게이트 절연막의 상부면의 가장자리를 지나는 수직축은 상기 제1 경사진 영역을 지나는 것을 특징으로 하는 반도체소자.



【청구항 32】

제 29 항에 있어서,

상기 제1 트렌치 영역의 상부코너 및 상기 저전압 게이트 절연막 사이의 거리는 상기 저전압 게이트 절연막의 두께보다 큰 것을 특징으로 하는 반도체소자.

【청구항 33】

제 29 항에 있어서,

상기 저전압 게이트 절연막 상에 형성되고 상기 제1 활성영역을 가로지르는 저전압 게이트 전극; 및

상기 고전압 게이트 절연막 상에 형성되고 상기 제2 활성영역을 가로지르는 고전압 게이트 전극을 더 포함하는 것을 특징으로 하는 반도체소자.

【청구항 34】

제 29 항에 있어서,

상기 저전압 영역은 메모리 셀 영역인 것을 특징으로 하는 반도체소자.

【청구항 35】

제 34 항에 있어서,

상기 저전압 게이트 절연막은 터널 산화막인 것을 특징으로 하는 반도체소자.

【청구항 36】

제 35 항에 있어서,



상기 저전압 게이트 절연막 상부에 형성되고 상기 제1 활성영역을 가로지르는 제어게이트 전극;

상기 제어게이트 전극 및 상기 저전압 게이트 절연막 사이에 개재된 부유게이트;

상기 부유게이트 및 상기 제어게이트 전극 사이에 개재된 게이트 층간절연막;

상기 고전압 게이트 절연막 상에 형성되고 상기 제2 활성영역을 가로지르는 메인 게이트 전극; 및

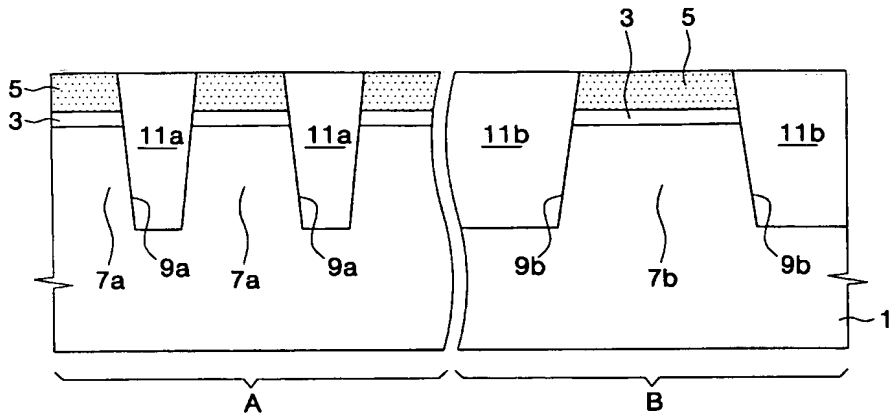
상기 메인 게이트 전극 상부에 적층된 더미 게이트 전극을 더 포함하는 것을 특징으로 하는 반도체소자.



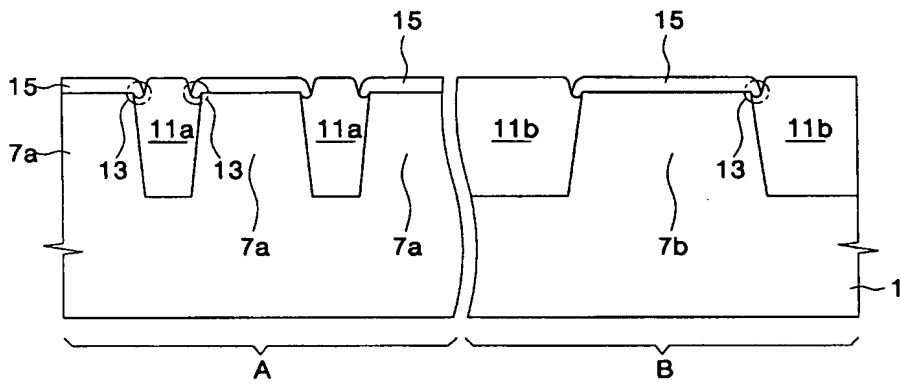


【도면】

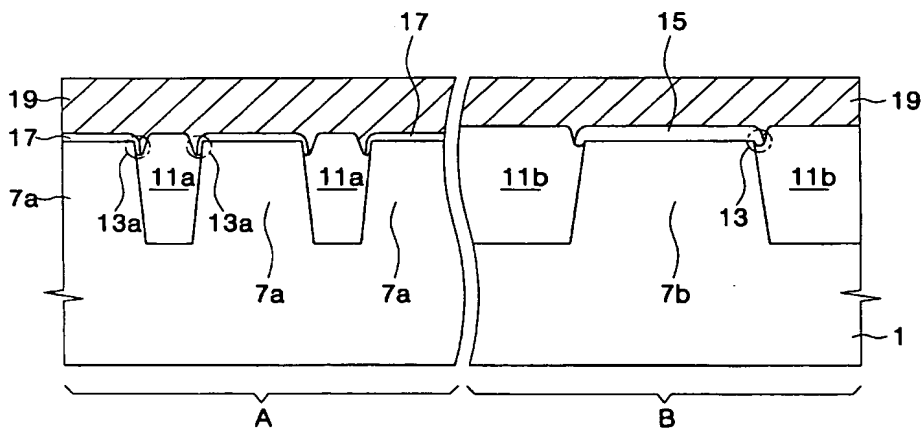
【도 1】



【도 2】

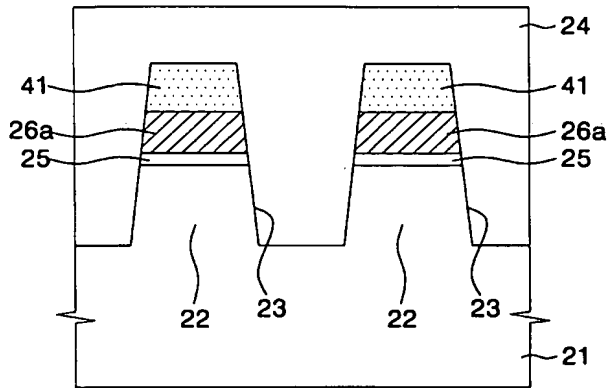


【도 3】

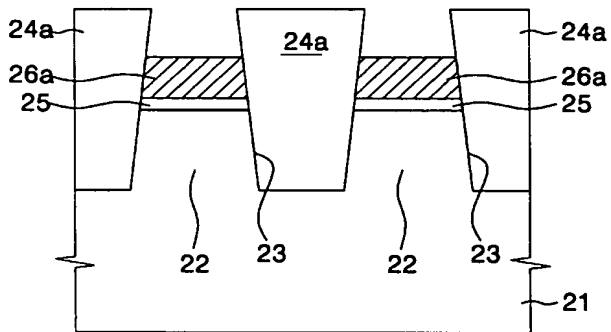




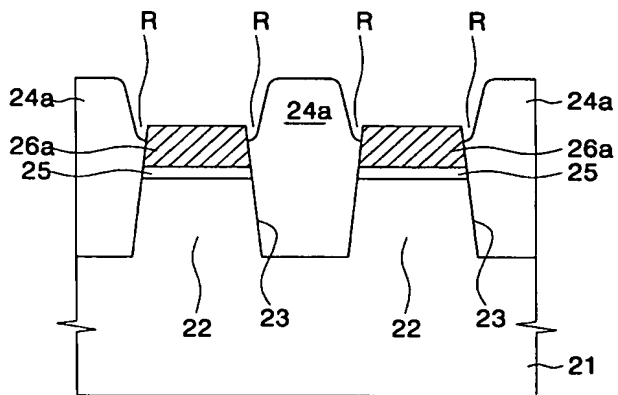
【도 4】



【도 5】

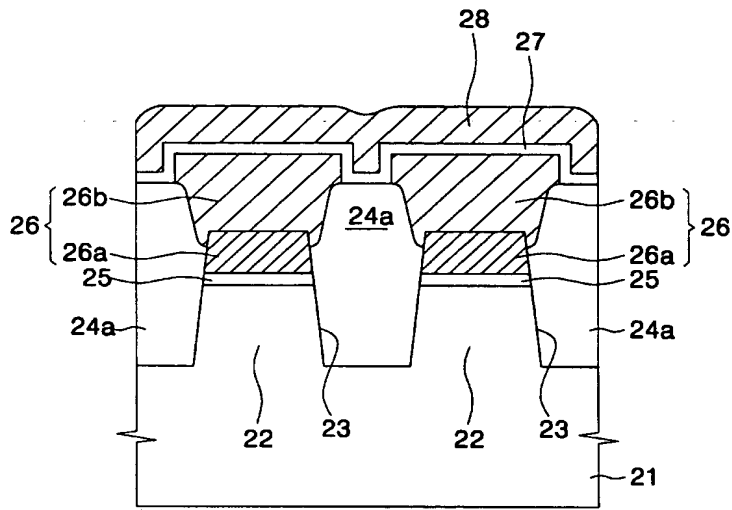


【도 6】

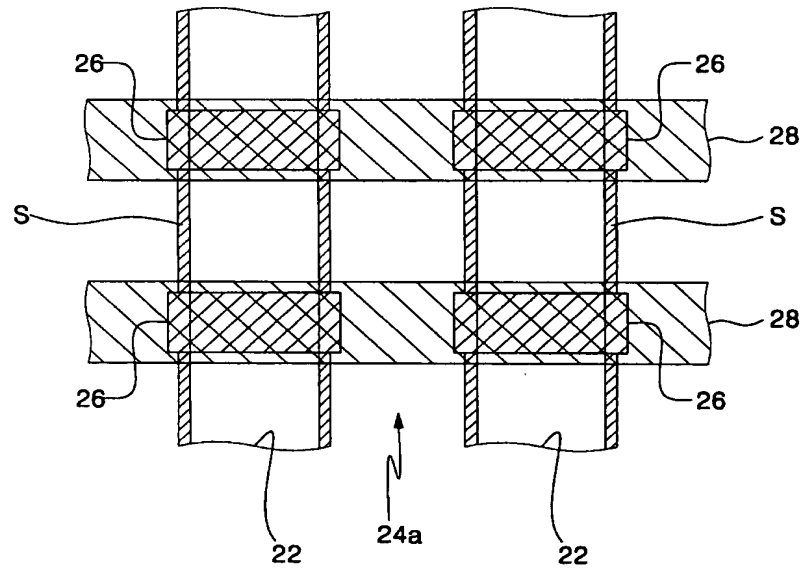




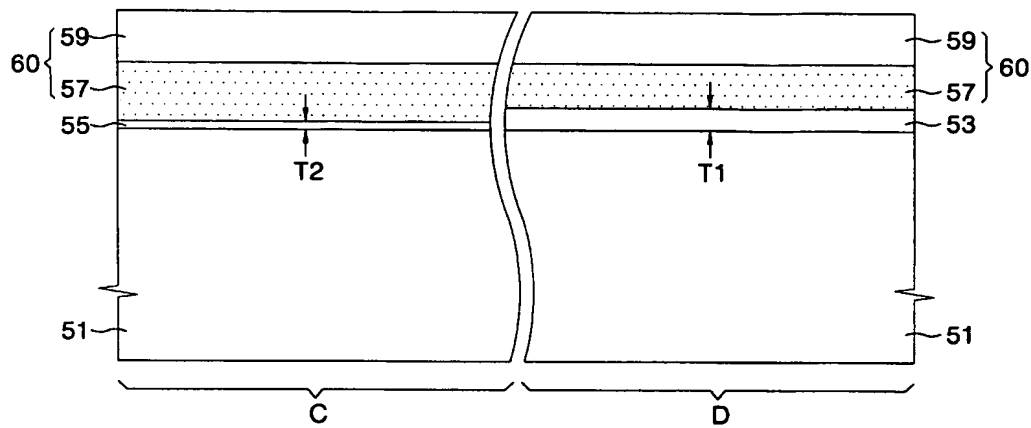
【도 7】



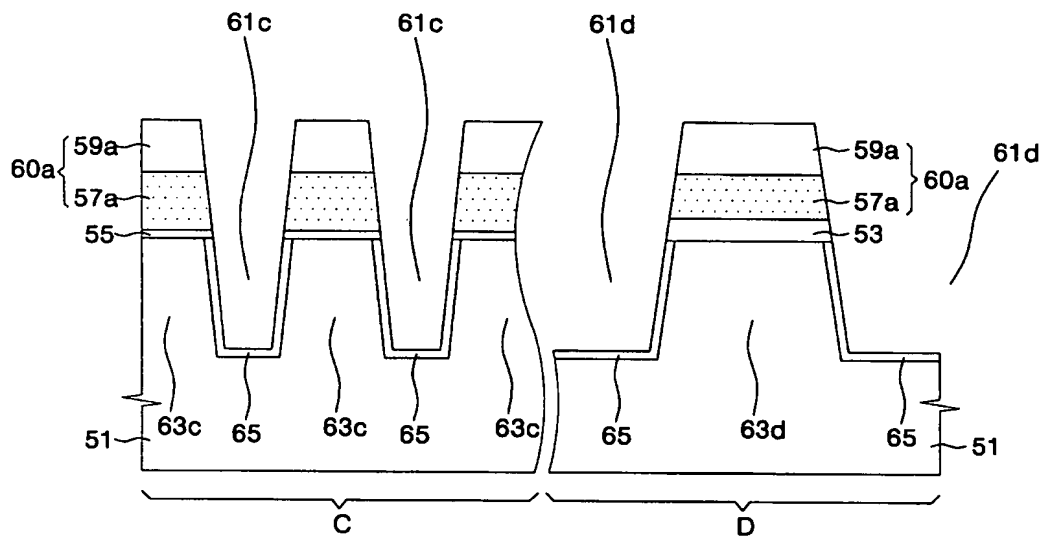
【도 8】



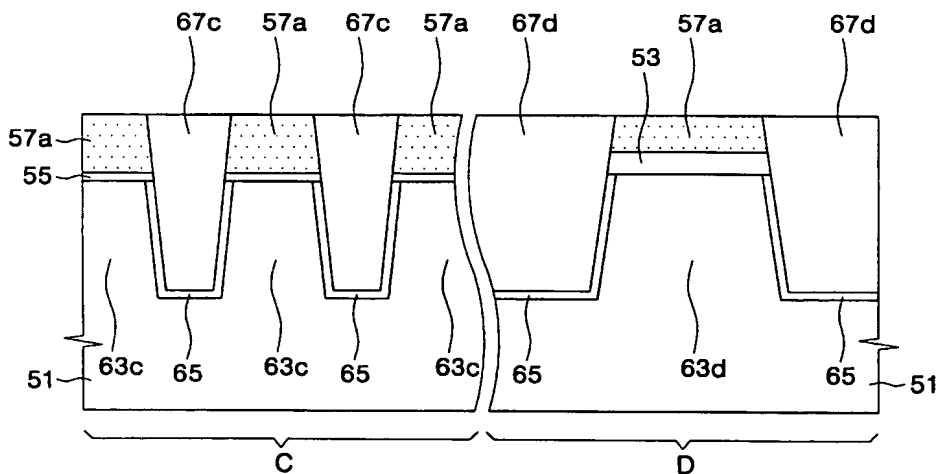
【도 9】



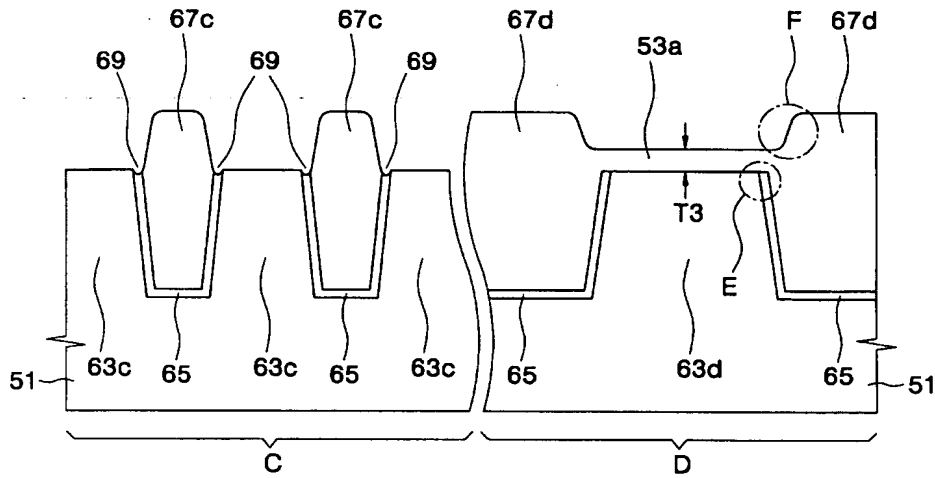
【도 10】



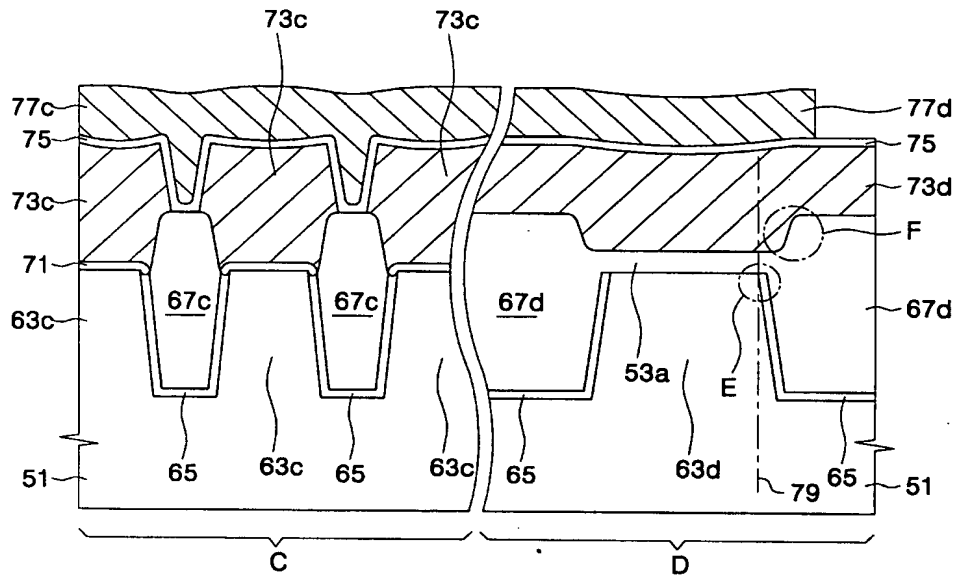
【도 11】



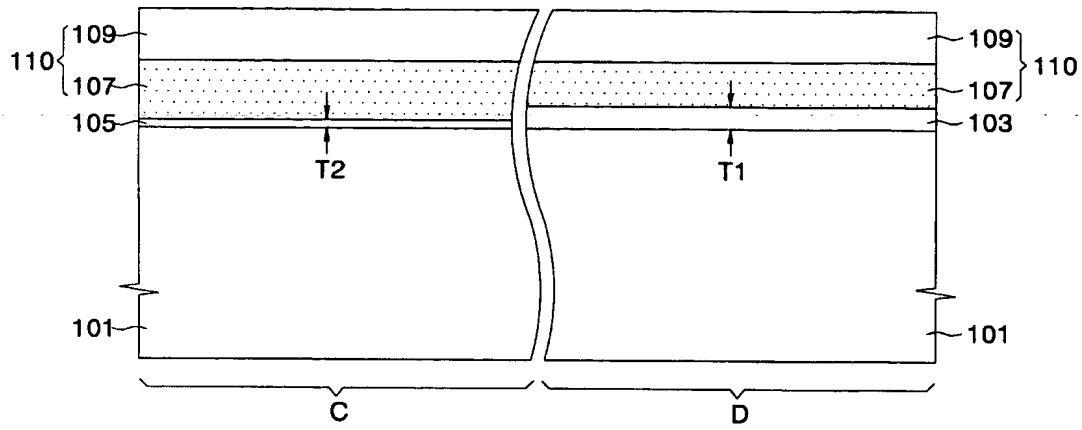
【도 12】



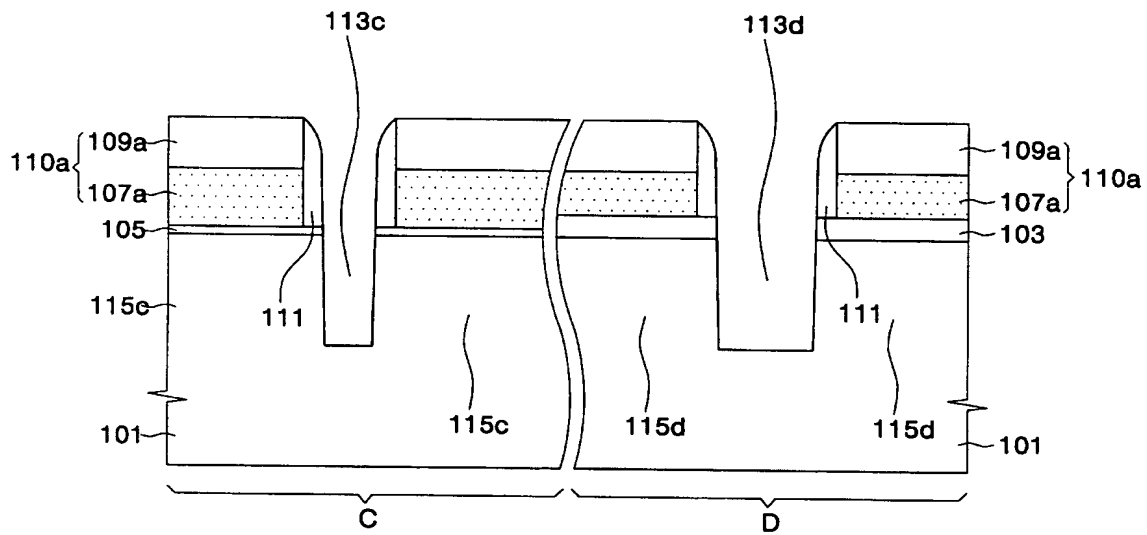
【도 13】



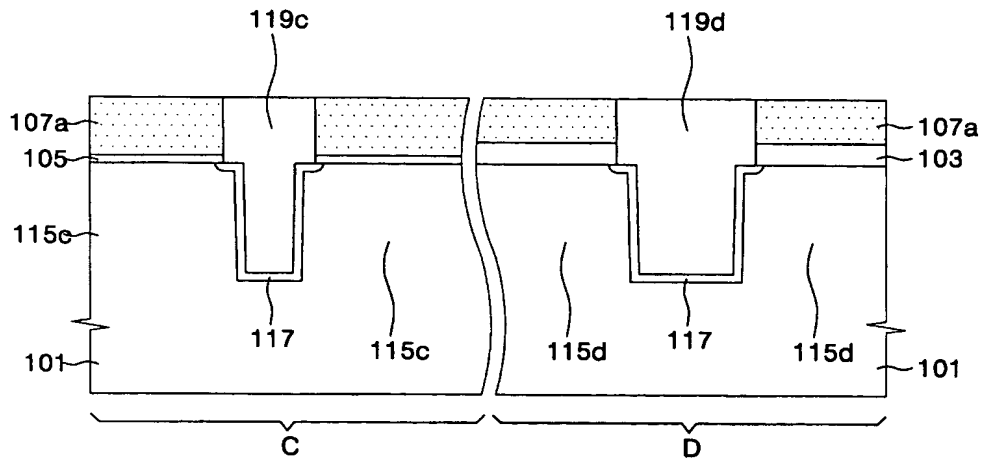
【도 14】



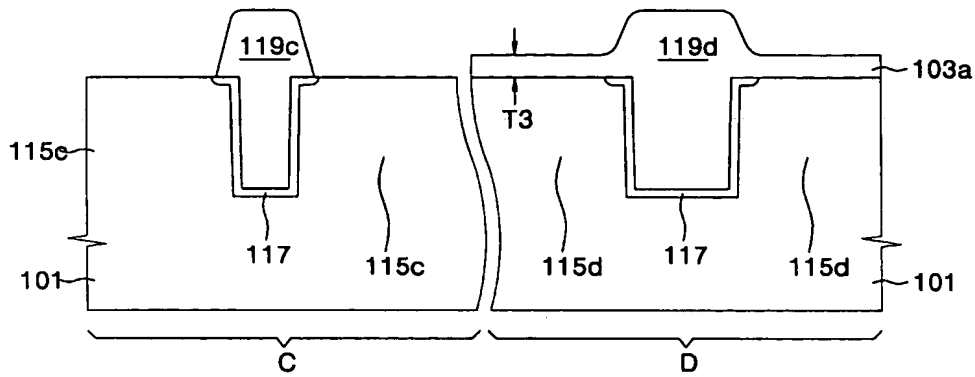
【도 15】



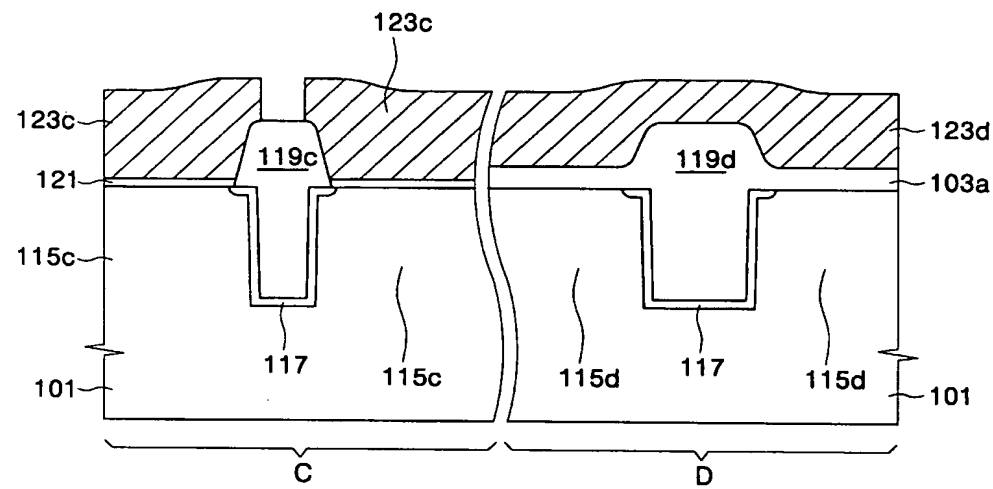
【도 16】



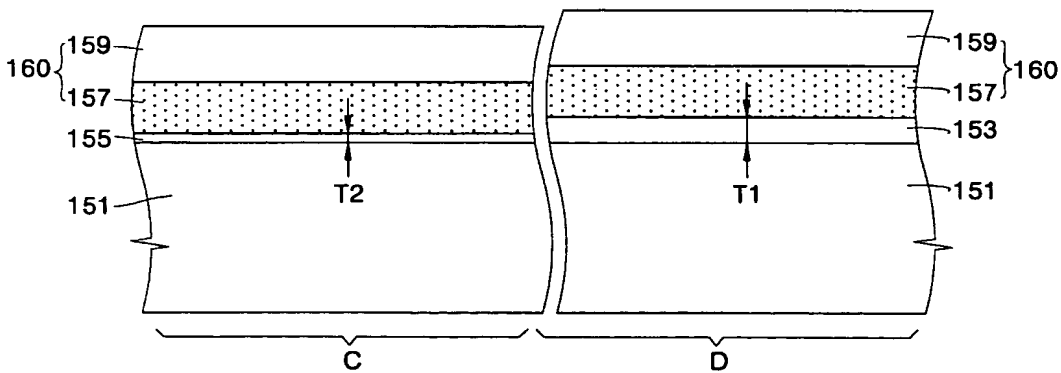
【도 17】



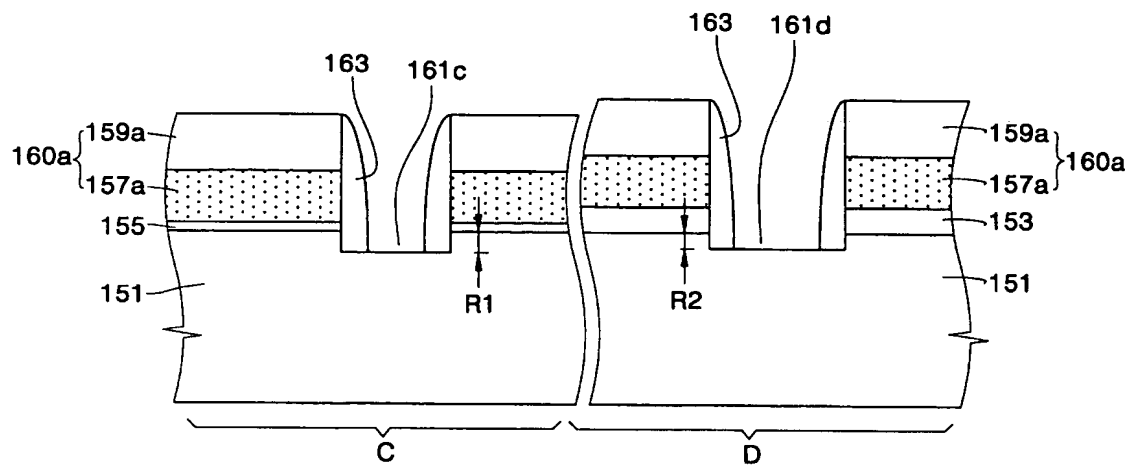
【도 18】



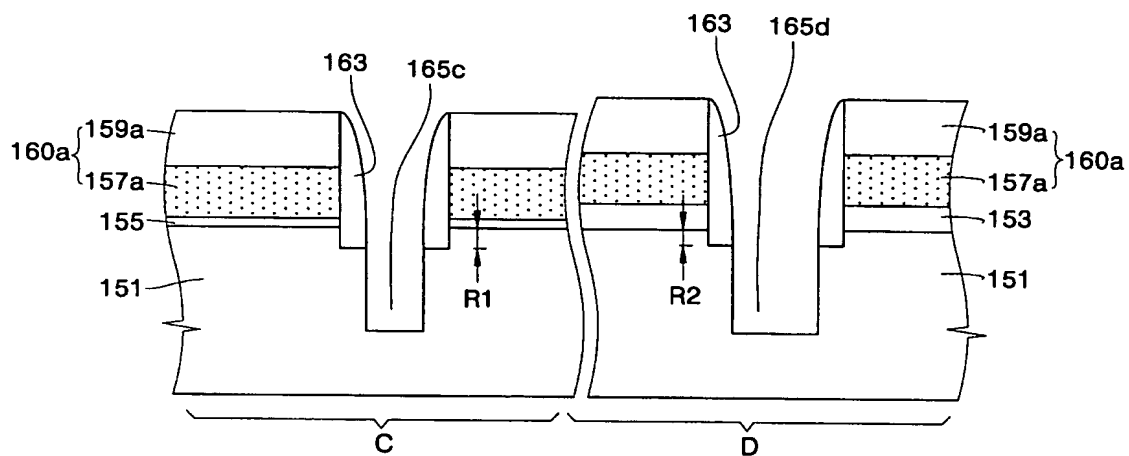
【도 19】



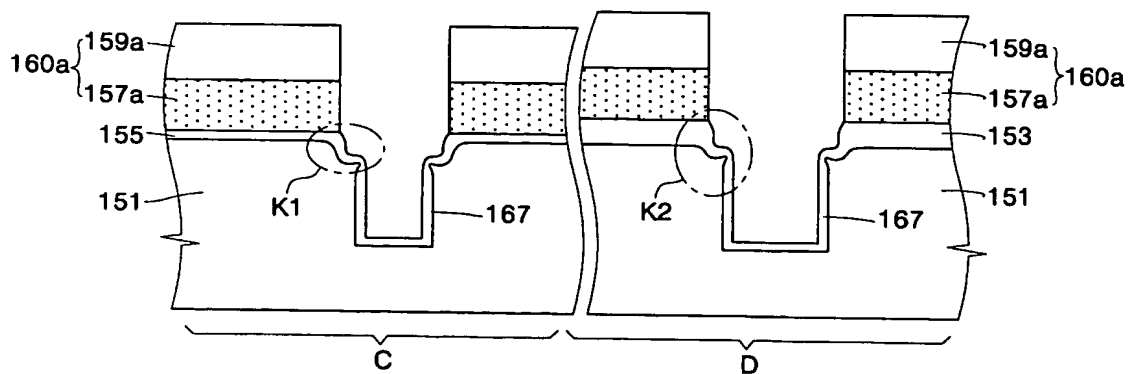
【도 20】



【도 21】



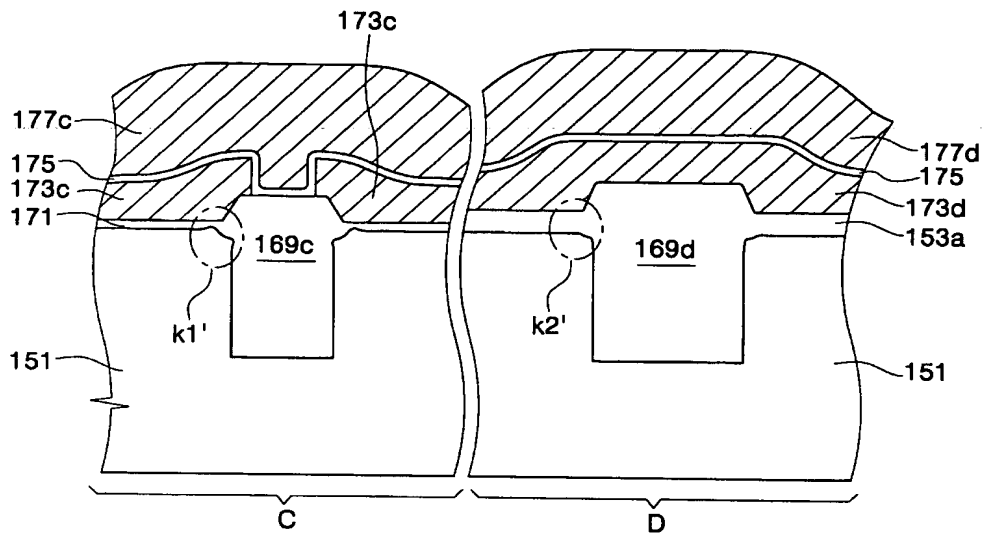
【도 22】



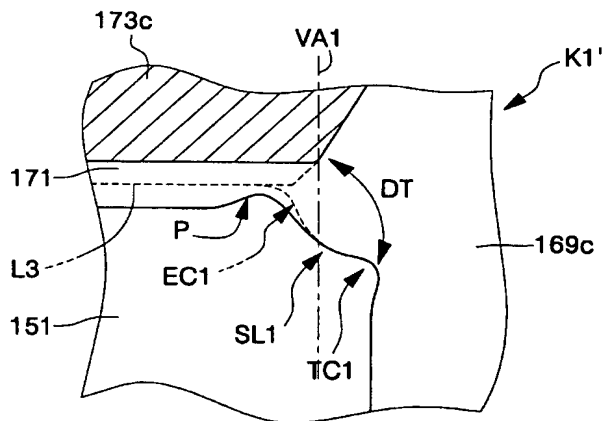


[illegible][illegible]

【도 26】



【도 27】



【도 28】

